

**UNIVERSITÉ JOSEPH FOURIER**

*N° attribué par la bibliothèque*

--	--	--	--	--	--	--	--	--	--

**THÈSE** pour obtenir le grade de **DOCTEUR DE L'UJF**

**Spécialité : « Génie Électrique »**

préparée au laboratoire de Génie Électrique de Grenoble (G2ELab) dans le cadre de  
**l'École Doctorale « Électrotechnique Électronique Automatique et  
Traitement du Signal »**

préparée et soutenue publiquement par

Olivier DELEAGE

Ancien élève de l'ENS de Cachan - Agrégé de Génie Électrique

le 5 Novembre 2009

*Titre :*

**Conception, réalisation et mise en oeuvre d'un  
micro-convertisseur intégré pour la conversion  
DC/DC**

---

*sous la direction du Jean-Christophe CREBIER et Yves LEMBEYE*

---

**JURY**

M. Jean-Louis SANCHEZ

Président

M. Éric LABOURÉ

Rapporteur

M. Bruno ALLARD

Rapporteur

M. Jean-Paul FERRIEUX

Examinateur

M. Jean-Christophe CREBIER

Directeur de thèse

M. Yves LEMBEYE

Co-encadrant de thèse



*À mes parents*  
*À mon épouse Élodie*



# TABLE DES MATIÈRES

REMERCIEMENTS	ix
INTRODUCTION GÉNÉRALE	1
<b>I CONTEXTE ET ÉTAT DE L'ART</b>	<b>5</b>
I.1 CONTEXTE DE L'ÉTUDE . . . . .	6
I.2 ETAT DE L'ART . . . . .	7
I.2.1 Structures intégrées non isolées . . . . .	8
I.2.2 Structures isolées . . . . .	9
I.3 OBJECTIFS ET ENJEUX . . . . .	10
I.3.1 Principes généraux . . . . .	10
I.3.2 Réseau de Micro-Convertisseurs (R $\mu$ C) . . . . .	10
I.3.3 Topologie du micro-convertisseur . . . . .	11
I.4 PRÉ-DIMENSIONNEMENT . . . . .	12
I.4.1 Choix de la fréquence . . . . .	12
I.4.2 Choix de la technologie pour la partie active : compléments . . . . .	19
I.4.3 Composants passifs . . . . .	20
I.4.4 Adéquation technologies / fréquence / puissance . . . . .	23
I.5 CONCLUSION . . . . .	28
<b>II COMPOSANTS ACTIFS</b>	<b>31</b>
II.1 CONCEPTION DE LA PUCE ACTIVE . . . . .	32
II.1.1 Contraintes et cahier des charges . . . . .	32
II.1.2 Technologie AMS 0.35 $\mu$ m . . . . .	32
II.1.3 Partie puissance . . . . .	33
II.1.3.1 Bras de commutation . . . . .	33
II.1.3.2 Dimensionnement de la commande rapprochée . . . . .	40
II.1.4 Partie commande . . . . .	52
II.1.4.1 Commande semi-éloignée pour RuC . . . . .	52
II.1.4.2 Oscillateur . . . . .	57
II.1.4.3 Modes de configuration de la puce . . . . .	64
II.1.5 Elaboration du layout . . . . .	65
II.1.5.1 Layout du circuit de puissance . . . . .	66
II.1.5.2 Layout de la commande semi-éloignée . . . . .	66
II.1.5.3 Layout de l'ensemble . . . . .	67
II.1.6 Modifications liées à une seconde version de la puce active . . . . .	67

II.2	MISE EN OEUVRE ET CARACTÉRISATION . . . . .	71
II.2.1	Caractérisation du mode Onduleur . . . . .	72
II.2.2	Caractérisation du mode redresseur . . . . .	74
II.2.2.1	Résultats des mesures . . . . .	74
II.2.2.2	Problèmes rencontrés . . . . .	75
II.2.3	Caractérisation du micro-convertisseur complet . . . . .	76
II.2.3.1	Formes d'ondes théoriques . . . . .	76
II.2.3.2	Expériences pratiques . . . . .	77
II.3	BILAN ET PERPECTIVES SUR LA PUCE ACTIVE . . . . .	80
<b>III</b>	<b>COMPOSANTS PASSIFS</b> . . . . .	<b>83</b>
III.1	INTRODUCTION ET ÉTAT DE L'ART DES COMPOSANTS PASSIFS . . . . .	84
III.1.1	Éléments inductifs . . . . .	84
III.1.2	Éléments capacitifs . . . . .	87
III.2	OBJECTIFS . . . . .	89
III.3	CONCEPTION DU MICRO-TRANSFORMATEUR ET DE L'INDUCTANCE . . . . .	91
III.3.1	Critères de dimensionnement relatifs au transformateur . . . . .	92
III.3.2	Critères de dimensionnement relatifs à l'inductance . . . . .	92
III.3.3	Méthodes de conception . . . . .	92
III.3.3.1	Spirales « classiques » . . . . .	93
III.3.3.2	Spirales à largeur variable . . . . .	103
III.3.4	Modélisation magnétique et capacitive du transformateur . . . . .	112
III.3.4.1	Modélisation magnétique . . . . .	112
III.3.4.2	Modélisation capacitive . . . . .	118
III.4	TOPOLOGIE DES MICRO-BOBINES . . . . .	121
III.4.1	Micro-bobines sur Kapton . . . . .	121
III.4.1.1	Limitations des techniques de circuit imprimé sur Kapton . . . . .	121
III.4.1.2	Transformateur sur kapton . . . . .	123
III.4.2	Micro-bobines sur silicium . . . . .	126
III.4.2.1	Bobines en vis-à-vis . . . . .	126
III.4.2.2	Bobines co-planaires et circuit magnétique . . . . .	127
III.4.2.3	Avantages et inconvénients de ces technologies : conclusions . . . . .	133
III.4.3	Moyens de réalisation du circuit magnétique . . . . .	134
III.4.3.1	Circuit magnétique reporté . . . . .	134
III.4.3.2	Circuit magnétique déposé . . . . .	139
III.5	CONCLUSION ET PERSPECTIVES SUR LES COMPOSANTS PASSIFS . . . . .	140
<b>IV</b>	<b>RÉALISATION GLOBALE ET TECHNOLOGIES D'HYBRIDATION</b> . . . . .	<b>143</b>
IV.1	OBJECTIFS DE CETTE ÉTUDE TECHNOLOGIQUE D'HYBRIDATION . . . . .	144
IV.2	PROCÉDÉS TECHNOLOGIQUES ENVISAGEABLES . . . . .	145
IV.2.1	Techniques de base en micro-électronique / micro-système . . . . .	145
IV.2.1.1	Dépôt/Électrolyse . . . . .	145
IV.2.1.2	Photolithographie . . . . .	146
IV.2.1.3	Gravure . . . . .	148
IV.2.1.4	Lift-off . . . . .	149

---

IV.2.2	Dépôts de résine pour usages diélectriques . . . . .	152
IV.2.3	L'électrodéposition . . . . .	153
IV.2.3.1	Détermination des conditions et des paramètres d'essais . .	154
IV.2.3.2	Réalisation de vias sur PCB . . . . .	154
IV.2.3.3	L'électro-érosion . . . . .	155
IV.2.4	Flip-chip . . . . .	155
IV.3	RÉALISATION ET PACKAGING DU MICRO-CONVERTISSEUR . . . . .	156
IV.3.1	Réalisations technologiques des passifs . . . . .	156
IV.3.1.1	Micro-transformateur et micro-inductance . . . . .	157
IV.3.1.2	Caractérisation du micro-transformateur sur silicium avec ferrite . . . . .	164
IV.3.2	Solutions envisageables vis à vis du packaging . . . . .	166
IV.3.2.1	États de surface . . . . .	167
IV.4	BILAN ET PERSPECTIVES DE CETTE ÉTUDE . . . . .	168
IV.5	CONCLUSION SUR L'HYBRIDATION . . . . .	169
	CONCLUSION GÉNÉRALE	171
	BIBLIOGRAPHIE	179
	ANNEXE A : MODÉLISATION DU TRANSFORMATEUR	181
	ANNEXE B : WAFER DE $\mu$ -TRANSFORMATEUR	187
	ANNEXE C : DENSITÉS DE COURANT	189





---

## Remerciements

Après ces trois années de thèse au G2Elab (qui sont passées beaucoup trop vite!), je tiens à remercier un certain nombre de personnes qui m'ont aidé ou soutenu d'une manière ou d'une autre. Il est difficile de faire une liste exhaustive, alors ne vous vexez pas si vous n'êtes pas cité!

Tout d'abord, je voudrais remercier les équipes de direction du G2Elab (et ex-LEG), qui m'ont accueilli et m'ont offert l'opportunité de faire cette thèse, Messieurs Yves Brunet et Jean-Paul Ferrieux pour le LEG, ainsi que Messieurs James Roudet, Yves Maréchal et Olivier Lesaint pour le G2Elab.

Un grand merci à Jean-Christophe Crebier, mon directeur de thèse, pour qui la recherche est un vrai plaisir et qui a su me communiquer cet état d'esprit essentiel. Son imagination débordante est une véritable source d'inspiration pour son activité de recherche, mais il est souvent difficile d'exploiter ses idées par simple manque de temps! Je tiens aussi à remercier chaleureusement mon co-directeur de thèse, Yves Lembeye, qui m'avait déjà encadré lors de mon stage de Master 2 aux côtés de Jean-Paul Ferrieux, et qui m'a toujours été d'une aide précieuse. Merci Yves pour ton état d'esprit, ta disponibilité et ta gentillesse.

Je tiens à remercier Messieurs Éric Labouré et Bruno Allard pour avoir accepté d'être rapporteur de mon travail.

Je voudrais adresser mes remerciements à tout le personnel du CIME-Nanotech que j'ai eu l'occasion de côtoyer durant ces trois années de thèse, Alexandre Chagoya pour son aide particulière et qui était toujours présent dès que j'avais un problème, Robin Rolland pour sa grande implication dans la conception de la commande numérique, Delphine Constantin et Stéphane Litaudon pour leur aide et leurs conseils en salle blanche, Irène Pheng pour s'être occupé de la découpe de mes wafers ainsi que pour avoir réalisé les bondings quand j'en avais besoin, sans oublier Bernard Bosc et Simon Le Demnat pour leur aide ponctuelle.

Mes remerciements vont également au personnel technique du G2Elab qui m'a aidé dans mes travaux, Stéphane Catelani et Jean Barbaroux qui m'ont apporté leurs conseils, Manu, Jacques Davoine et particulièrement Gigi pour son rôle dans l'usinage des noyaux magnétiques en Ferrite.

Quant à mes collègues doctorants, je ne vais pas faire en faire une liste exhaustive, mais je voudrais tout de même citer Kremena qui m'a beaucoup aidé pour les travaux en salle blanche et avec qui j'ai partagé cet expérience particulière. Merci aussi à Loïc et Timothé avec qui j'ai partagé ma vie de thésard durant quelques temps. Je n'oublie pas les stagiaires avec qui j'ai également travaillé : merci à toi Léa pour ton aide précieuse et ta bonne humeur, Thang pour ton dynamisme, ta curiosité et tes nombreuses connaissances et Yvan pour ton travail sur la commande.

D'une manière plus générale, je remercie toutes les personnes du laboratoire ou d'ailleurs qui m'ont apporté leurs conseils ou leur aide au cours de ma thèse, que ce soit les doctorants ou les permanents.

Merci également aux responsables du projet MICOTI de Schneider-Electric et du CEA-LETI qui m'ont intégré à ce projet durant une année. La participation à ce projet m'a permis d'acquérir certaines connaissances techniques et liées à la réalité du monde industriel.

D'un point de vue plus personnel, merci à ma famille qui a cru en moi.

Je voudrais terminer ces remerciements par la personne qui compte le plus pour moi, qui m'a supporté et soutenu dans les moments difficiles durant toute la durée de ma thèse, je veux bien évidemment parler de l'amour de ma vie, Élodie.

---

## Introduction générale

Depuis que les alimentations à découpage rendent possible la conversion d'énergie statique en assurant un bon rendement, les recherches se portent principalement sur l'amélioration des caractéristiques des composants actifs et passifs de puissance ainsi que sur l'environnement de ces derniers tels que le refroidissement, la connectique, la commande etc. Ces travaux sont conduits à travers l'utilisation et la mise en oeuvre de techniques de réalisation et d'intégration toujours plus performantes, ainsi que sur la miniaturisation de ces structures.

Les travaux présentés dans ce mémoire s'inscrivent dans ce contexte d'intégration des structures d'électronique de puissance, mariant ainsi la conversion d'énergie avec la micro-électronique. En outre, cette miniaturisation, qui permettra essentiellement l'utilisation de ces structures dans des systèmes embarqués du fait de leur faible encombrement et de leur légèreté, se doit d'être réalisée de façon à satisfaire un critère qui devient, ces dernières années, primordial, à savoir le rendement de conversion. Les sources d'énergie actuelles devenant de plus en plus coûteuses, les structures de conversion d'énergie se doivent de ne pas les gaspiller inutilement.

Ces efforts d'intégration doivent être portés sur l'ensemble des éléments constituant la structure d'électronique de puissance, que l'on peut séparer en trois types bien distincts : les composants actifs, à savoir les semi-conducteurs, et les composants passifs (inductances, condensateurs, transformateurs), mais également sur leur environnement. L'étude de l'intégration des semi-conducteurs fera ainsi l'objet du premier chapitre, puis celle des composants passifs sera traitée dans un second temps. Il sera donc nécessaire d'aborder des domaines tels que la physique des semi-conducteurs, l'électromagnétisme, la CEM, les technologies de réalisation et bien d'autres encore pour mener à bien l'ensemble de ces travaux. Ces travaux seront l'occasion de mettre en relief également l'importance de l'environnement des composants lors de l'évaluation de leurs performances.

Un aspect important de ces travaux est qu'une conception totalement découplée des moyens de réalisation et des possibilités technologiques n'est aujourd'hui plus concevable. En effet, pour permettre une réduction maximale de l'encombrement de la structure tout en garantissant un niveau de rendement acceptable, il est nécessaire d'étudier les possibilités technologiques qui peuvent contribuer à l'élaboration de ce micro-convertisseur. Ce point

fera donc l'objet du quatrième chapitre de ce mémoire. Par ailleurs, et cela se verra clairement tout au long du mémoire, le travail d'intégration des composants laisse de moins en moins de place aux composants "disponibles sur étagère", faisant de chacun d'eux un système complexe et dédié, fortement dépendant des moyens et possibilités technologiques.

Le champ applicatif de ces travaux est assez large, car le micro-convertisseur DC/DC isolé, sur lequel notre effort de recherche s'est porté, peut être utilisé pour toutes les applications dont les niveaux de tension et de puissance sont compatibles avec ce dernier. Une application classique de ce micro-convertisseur, utilisé seul, est l'alimentation de la commande rapprochée de transistors high-side, nécessitant ainsi une isolation galvanique (figure 1).

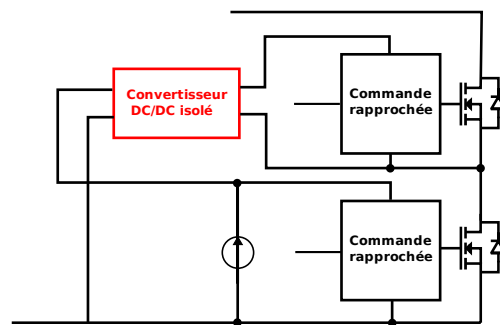


FIG. 1 – Alimentation de commande rapprochée pour transistors high side

Par ailleurs, il existe une application particulière pour laquelle ce micro-convertisseur a été conçu. Cette application consiste à mettre en réseau, c'est-à-dire à connecter en série et/ou en parallèle, en entrée et en sortie, un ensemble de micro-convertisseurs : c'est l'approche "R $\mu$ C" (Réseau de  $\mu$ -Convertisseurs) développée au G2ELab depuis quelques années. Cette approche a pour but de proposer une approche de conception, de réalisation et de mise en oeuvre de convertisseurs adaptés à n'importe quel cahier des charges sur la base d'une cellule unique de micro-convertisseur réalisé en grand nombre (figure 2). Nous reviendrons bien entendu plus en détail sur le principe de cette approche, ses contraintes ainsi que ses avantages et inconvénients au cours de ce mémoire.

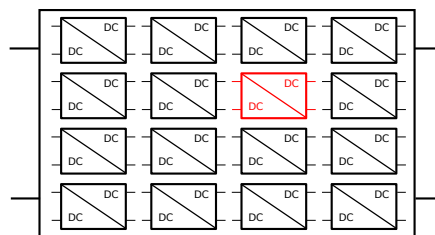


FIG. 2 – Réalisation d'une cellule élémentaire intégrée pour les réseaux de micro-convertisseurs

La troisième application envisageable ici est la commande d'un micro-relais bistable. Cette application ne nécessite qu'une partie du micro-convertisseur étudié ici puisqu'il ne s'agit ici que d'une conversion DC/AC (figure 3). Il est donc question ici d'associer une commande intégrée sur silicium à un micro-système commandable.

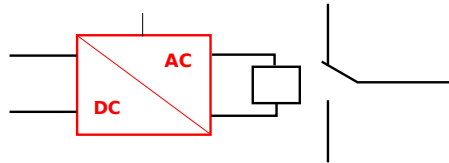


FIG. 3 – Commande de micro-relais



# Chapitre I

---

## Contexte et état de l'art

### SOMMAIRE

---

I.1	CONTEXTE DE L'ÉTUDE . . . . .	6
I.2	ÉTAT DE L'ART . . . . .	7
I.2.1	Structures intégrées non isolées . . . . .	8
I.2.2	Structures isolées . . . . .	9
I.3	OBJECTIFS ET ENJEUX . . . . .	10
I.3.1	Principes généraux . . . . .	10
I.3.2	Réseau de Micro-Convertisseurs (R $\mu$ C) . . . . .	10
I.3.3	Topologie du micro-convertisseur . . . . .	11
I.4	PRÉ-DIMENSIONNEMENT . . . . .	12
I.4.1	Choix de la fréquence . . . . .	12
I.4.2	Choix de la technologie pour la partie active : compléments . . . . .	19
I.4.3	Composants passifs . . . . .	20
I.4.4	Adéquation technologies / fréquence / puissance . . . . .	23
I.5	CONCLUSION . . . . .	28

---

### Résumé

*Ce chapitre d'introduction a pour but de définir le contexte de ces travaux et d'établir l'état de l'art en ce qui concerne la réalisation de micro-convertisseurs. Le principe des réseaux de micro-convertisseurs est également exposé, ceci dans le but de préciser les caractéristiques que doit avoir un micro-convertisseur vis à vis de cette application. Le choix de la structure, ainsi qu'un pré-dimensionnement concernant notamment la fréquence de fonctionnement est également détaillé. Ces choix guideront la suite des travaux, que ce soit pour les parties actives ou pour les parties passives.*

*Une étude plus conceptuelle est également décrite à la fin de ce chapitre, pour déterminer, a priori, les choix les plus judicieux concernant les technologies envisageables pour les différents éléments du micro-convertisseur dans son ensemble.*

## I.1 Contexte de l'étude

L'objet de cette thèse peut se trouver dans des appareils de tous les jours tels que les téléphones cellulaires, les ordinateurs portables, les caméscopes ou les lecteurs mp3. Il s'agit en effet d'un système qui permet de convertir de l'énergie électrique pour alimenter les circuits électroniques de ces appareils. Ces micro-convertisseurs peuvent être associés à des sources d'énergie classiques tels que des batteries, ou bien à des micro-générateurs [Rai06]. Dans les deux cas cités précédemment, la nécessité d'assurer des niveaux de rendement élevés est primordiale du fait du caractère limité des ressources énergétiques des batteries ou des micro-générateurs.

Il existe bien entendu d'autres types de micro-convertisseurs, qui convertissent en énergie électrique de l'énergie mécanique disponible à de faibles niveaux, tels que des vibrations [Mar07]. Cependant, ce type de convertisseur se base sur des micro-systèmes (et non pas sur une structure d'électronique de puissance), ce qui sort du cadre de notre étude.

Comme nous l'avons mentionné dans l'introduction, les besoins de miniaturisation des structures d'électronique de puissance ne cessent de devenir de plus en plus exigeant, que ce soit vis à vis des dimensions bien sûr, mais également des performances. Les progrès technologiques permettent de pousser la miniaturisation à un niveau toujours plus élevé, que ce soit pour les composants actifs tels que les transistors MOSFET ou pour les composants passifs comme les inductances, les transformateurs ou les condensateurs.

Cependant, la réduction des dimensions des structures d'électronique de puissance n'est pas le principal objectif de ces efforts de miniaturisation. En effet, une structure classique, composée de nombreux éléments discrets soudés sur PCB, peuvent présenter des problèmes de fiabilité liés principalement à la qualité des soudures, ou des inter-connexions de manière plus générale. Une structure intégrée limite de ce fait une part importante des sources de pannes dues aux inter-connexions. De la même manière, la connectique pour composants discrets engendre un comportement électromagnétique plus ou moins complexe et plus ou moins gênant qui peut avantageusement être contenu dans un effort d'intégration. Par opposition, les problèmes thermiques et la promiscuité en général sont exacerbés par ce même travail d'intégration.

De plus, les assemblages classiques ne favorisent pas la prédétermination des effets et des comportements induits par l'environnement du convertisseur. En effet, sur un montage classique, il est difficile de déterminer durant la phase de conception les éléments parasites apportés par les pistes du PCB, tout comme les couplages thermiques. Ainsi, la structure réalisée peut être perturbée par les résistances, inductances et capacités parasites des inter-connexions, suivant la fréquence de fonctionnement de celle-ci et l'importance de ces éléments.

Un autre aspect lié à ce dernier est la réduction des éléments parasites entre chaque composants dans le cas des structures intégrées, ce qui permet, d'une part, d'augmenter



sensiblement le rendement de celles-ci et, d'autre part, de pouvoir fonctionner à des fréquences plus élevées, ce qui va dans le sens de la miniaturisation, comme nous le verrons par la suite.

## I.2 Etat de l'art

L'idée d'intégrer des structures d'électronique de puissance n'est pas nouvelle ; il existe déjà des structures simples intégrées sur silicium dont les niveaux de compacité et de rendement sont similaires à ceux visés par ces travaux. Cependant, il n'existe pas encore de structures assurant une isolation galvanique avec un niveau de rendement correct. Nous allons donc passer brièvement en revue les travaux qui ont déjà été réalisés sur des structures non isolées puis isolées.

Le graphique présenté figure I.1 montre les différentes réalisations de ces dernières années. Le micro-convertisseur repéré par le numéro 1 [Che08] est le seul qui soit isolé, mais il a le gros défaut d'avoir un mauvais rendement. Tout les autres micro-convertisseurs trouvés dans la bibliographie assurent un rendement supérieur à 80%. Le repère 2 [PF05] correspond à une étude d'un convertisseur hybride via trois techniques différentes pour une application automobile.

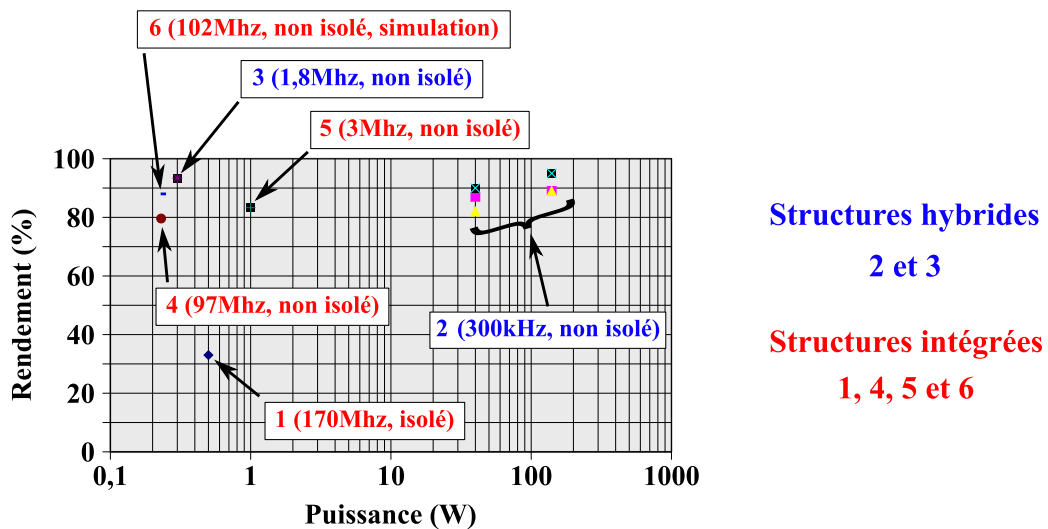


FIG. I.1 – Etat de l'art des micro-convertisseurs DC-DC

Les autres micro-convertisseurs, repères 3 [HKEN03], 4 [KNDF04a], 5 [KSNE00] et 6 [KNDF04b], sont destinées aux faibles puissances (inférieure à 1W), et cela avec un rendement plutôt correct.

Il convient également de différencier les structures hybrides, c'est à dire composées à la fois d'éléments discrets et d'éléments intégrés, et les structures entièrement intégrées, car les possibilités dans l'un ou l'autre cas sont loin d'être identiques.

Nous pouvons ainsi noter que parmi les six exemples cités ici, les structures intégrées fonctionnent à des fréquences supérieures aux structures hybrides, ce qui va dans le sens de la réduction et d'une meilleure maîtrise des éléments parasites résistifs et inductifs, et donc d'une montée en fréquence.

Voyons maintenant un peu plus en détail ce qui caractérise ces micro-convertisseurs, qu'ils soient isolés ou non.

### I.2.1 Structures intégrées non isolées

L'intégration des structures non isolées est plus simple puisque le nombre de composants est moins important que dans le cas des structures isolées. C'est donc ce type de structure qui a été, à l'heure actuelle, l'objet de nombreuses études pour envisager leur intégration. Par ailleurs, de nombreuses applications n'ont pas besoin d'avoir une isolation galvanique au sein du convertisseur.

Les premières études visant à l'intégration de telles structures se sont portées sur le développement de moyens technologiques pour assurer de bonnes caractéristiques tant aux composants actifs que passifs. Différentes topologies ont donc été étudiées, avec des contraintes, des caractéristiques ainsi que des applications variées.

La structure la plus simple en électronique de puissance est sans doute le hacheur série (figure I.2), qui ne comporte qu'un transistor, une diode, une inductance et des condensateurs de découplage, il est donc logique que les efforts d'intégration se fassent sur cette topologie. L'intégration du circuit de puissance a l'avantage de permettre la réalisation du circuit de commande sur la même puce que la puissance [KSNE00], réduisant de fait les dimensions des circuits, les besoins d'interconnexions ainsi que le temps de réalisation puisque le process de puissance et de commande sont mutualisés.

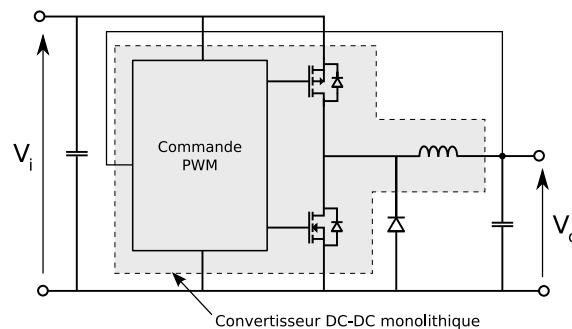


FIG. I.2 – Structure d'un hacheur série intégré [KSNE00]

Ces travaux, qui datent de 2000, présentent donc un design de micro-convertisseur fonctionnant à 3MHz, pour une puissance de 1W sous 5V maximum. L'ensemble de ce micro-convertisseur n'est pas intégré sur la même puce en raison de la difficulté d'obtenir des valeurs de capacités volumiques importantes. Les condensateurs (CMS) sont donc

reportés sur le PCB supportant la puce de puissance. Une diode Schottky est également reportée sur le micro-convertisseur intégré afin de réduire les pertes par commutation. Cette diode n'étant probablement pas compatible avec la technologie de réalisation du circuit actif, c'est pour cette raison qu'elle n'est pas intégrée au convertisseur. Le rendement maximal obtenu avec cette réalisation est de 83%, ce qui est très correct. Nous reviendrons plus précisément sur les caractéristiques de l'inductance réalisée lorsque nous traiterons des parties passives.

### I.2.2 Structures isolées

Comme nous l'avons déjà précisé précédemment, les structures isolées intégrées sont plus rares. Ces structures sont en effet plus complexes, car elles nécessitent un nombre plus important de composants, et les rendements maximums sont de fait plus faibles que pour les structures simples non isolées.

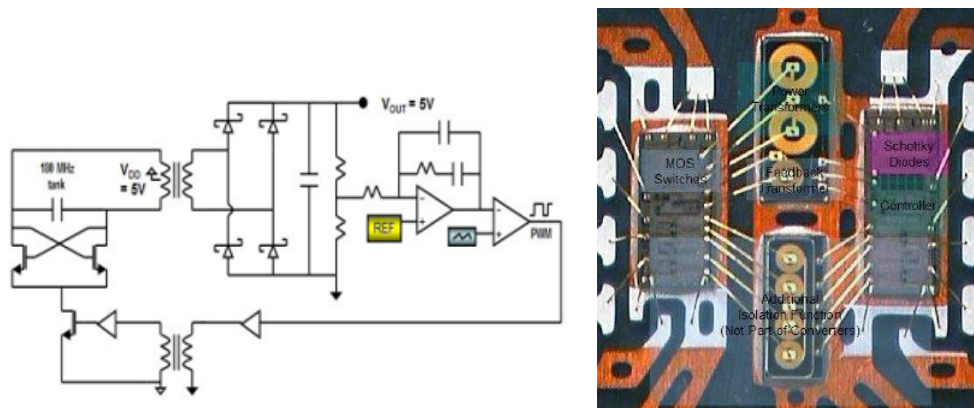


FIG. I.3 – Micro-convertisseur isolé 500mW d'Analog Device [Che08]

Cette structure proposée par Analog Devices figure I.3 permet de faire de la conversion DC-DC isolée, les différents éléments de la structure étant tous intégrés sur silicium, connectés à l'aide de fils de bondings et placés dans un boîtier SOIC 16. La fréquence de fonctionnement a été choisie élevée (170MHz) afin d'avoir un facteur de qualité du transformateur important, ce qui peut générer des pertes par commutation élevées, d'où la nécessité d'utiliser une structure résonnante pour les minimiser. L'isolation galvanique de 5kV est assurée au travers d'une couche de 20  $\mu\text{m}$  de polyimide entre l'enroulement primaire et secondaire. Ce micro-convertisseur intègre également une boucle de régulation qui conserve l'isolation entre l'entrée et la sortie par la présence d'un second transformateur dans la boucle de retour. À ces fréquences de fonctionnement, les transformateurs sont des transformateurs à air, bien évidemment.

Cependant, le rendement obtenu expérimentalement de ce micro-convertisseur pour une puissance délivrée de 0,5W est de 33%, ce qui est bien trop faible vis à vis de nos objectifs. Nous verrons par la suite, vis à vis de cette topologie, les critères qui ont guidés nos choix et qui nous ont poussés notamment à ne pas monter aussi haut en fréquence.

## I.3 Objectifs et enjeux

### I.3.1 Principes généraux

Le but des travaux de thèse résumés dans ce mémoire est donc de réaliser un micro-convertisseur intégré, offrant une isolation galvanique élevée et fonctionnant sous faible tension et faible puissance. Cette réalisation doit permettre d'atteindre une puissance volumique proche de l'état de l'art des structures de conversion conventionnelles dans un encombrement réduit tout en garantissant un rendement correct. Pour atteindre ces objectifs, il nous paraît essentiel de faire fonctionner notre structure à une fréquence suffisamment élevée, ceci afin de pouvoir utiliser des composants passifs dont les valeurs caractéristiques (inductance, capacité) sont compatibles avec la compacité souhaitée. De plus, le packaging devra être élaboré afin de limiter l'impact des éléments parasites entre les différents composants, car des valeurs d'éléments parasites négligeables à 10kHz ne le sont pas du tout à 10MHz.

Il faut donc concevoir les différents éléments (actifs et passifs) en vue de les associer de manière optimale pour limiter tout élément parasite, contrairement aux solutions classiques qui consistent à élaborer chaque composant indépendamment, puis de les associer les uns aux autres sans que leurs associations n'aient été pensées au préalable, ce qui ne permet pas toujours d'optimiser au maximum la connectique.

Une fois conçu et réalisé, ce micro-convertisseur, utilisé seul, permettra donc d'assurer l'alimentation de systèmes relativement peu gourmands en énergie (puissance de l'ordre de 1W) et où une isolation galvanique est nécessaire.

Cependant, si on veut pouvoir alimenter des systèmes plus puissants, un seul micro-convertisseur n'est pas suffisant, il est donc nécessaire d'en associer plusieurs comme le propose l'approche des réseaux de micro-convertisseurs.

### I.3.2 Réseau de Micro-Convertisseurs ( $R\mu C$ )

Dans le but d'offrir une alternative à la conception systématique de convertisseurs pour des applications différentes, l'approche des réseaux de micro-convertisseurs ( $R\mu C$ ) a débuté voici quelques années au G2Elab [Sou07] [Tha06]. Le principe de base de cette approche est la mise en réseau de convertisseurs élémentaires, que l'on connecte en série et/ou en parallèle suivant les tensions et courants désirés en entrée et en sortie du convertisseur ainsi réalisé.

Des travaux similaires sont actuellement menés aux laboratoires Satie, IES et Laplace [LFMC08], avec des objectifs similaires, quoique différents sur certains points critiques. Il s'agit en effet de créer des structures entrelacées, couplées magnétiquement, via un transformateur intercellulaires (ICT) qui a pour objectif de réduire la taille du circuit magnétique total. Le convertisseur dans son ensemble est donc composé d'un certain nombre de petits convertisseurs (cellules), associés via l'ICT, ce qui permet d'atteindre des dynamiques importantes. Le pilotage de l'ensemble et la complexité du coupleur

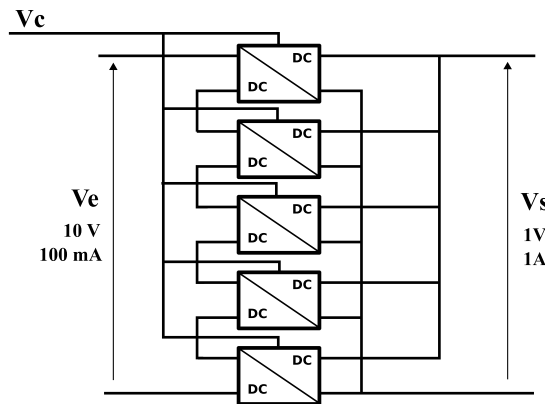


FIG. I.4 – Exemple d’un réseau de 5 micro-convertisseurs en configuration SIPO (Serial Input Parallel Output)

magnétique utilisé (l’ICT) conduit cependant à la mise en oeuvre d’un nombre limité de bobines, il est donc difficile d’associer plus d’une dizaine de cellules.

En ce qui concerne le projet  $R\mu C$ , il est important de noter que la cellule élémentaire (le micro-convertisseur) est complètement générique, ce qui permet de réaliser des réseaux de n’importe quelle taille, de pouvoir remplacer des cellules défectueuses très facilement sans avoir besoin de configurer quoi que ce soit et de permettre d’acheminer une commande unique à l’ensemble des cellules. Cette simplification de la mise en oeuvre du réseau nécessite donc de concevoir et d’embarquer une commande semi-éloignée à bord de chaque cellule afin de pouvoir profiter des avantages que peuvent présenter la mise en réseau des micro-convertisseurs. Nous aborderons plus en détails les caractéristiques de cette commande par la suite (page 52).

Nous tenons également à préciser que ces travaux de thèse n’ont pas pour but d’étudier les problématiques liées à la mise en réseau des micro-convertisseurs, notamment par rapport à l’équilibrage des puissances entre les cellules ou bien aux aspects CEM. Ces aspects sont traités dans la thèse de Dang Thai Ha [Tha09a]. Nous nous attachons ici à concevoir une cellule élémentaire intégrée complète, qui comprend une commande semi-éloignée intégrée dédiée à ces travaux. Le principe de cette commande sera donc abordé ultérieurement, mais les effets de celle-ci au sein d’un réseau ne sont pas traités.

### I.3.3 Topologie du micro-convertisseur

Le choix de la structure de notre micro-convertisseur a été fait assez simplement, puisqu’il n’est pas question ici d’essayer de trouver une structure innovante et d’en étudier les avantages et inconvénients, mais d’utiliser une structure de base afin de pouvoir l’intégrer sans trop de difficultés. La réversibilité pourra être un critère lié à l’équilibrage des cellules. Certaines applications que nous visons nécessitent donc une isolation entre l’entrée et la sortie du micro-convertisseur, la structure choisie devra donc comporter un micro-transformateur. De ce fait, la conversion d’énergie devra passer par un étage alternatif. Le

moyen le plus simple pour parvenir à ce résultat est donc d'utiliser un onduleur en pont complet au primaire du transformateur, puis de connecter un redresseur au secondaire, comme le montre la figure I.5. Nous avons fait le choix d'utiliser beaucoup de composants actifs pour limiter au maximum le nombre de composants passifs plus difficiles à intégrer. De fait, les structures en demi-pont ou à point milieu ont été naturellement écartées. En effet, l'intégration monolithique des composants actifs et celui de leurs périphériques électroniques (commande, protection...) s'avère aujourd'hui tout à fait envisageable et cela pour un grand nombre de cahier des charges [Rou08] [KNDF04b]. Nous pouvons même imaginer loger tous les étages de la commande (rapprochée et éloignée), in situ, pour optimiser les commutations mais aussi les fonctions de conversion

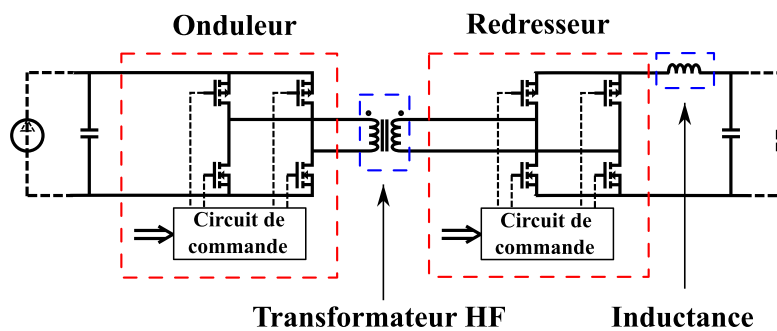


FIG. I.5 – Structure du micro-convertisseur

En sortie de la structure se trouve également un filtre L-C afin de réduire les ondulations de courant et de tension. En ce qui concerne le redresseur, plusieurs technologies peuvent être utilisées :

- Redresseur à diode classiques
- Redresseur à diode Schottky
- Redresseur synchrone à transistors MOSFET

Cependant, du fait des faibles tensions mises en jeu dans la structure, les deux premières solutions sont pénalisantes vis à vis du rendement du fait de la chute de tension aux bornes des diodes, même si, dans le cas des diodes Schottky, cette chute de tension est relativement réduite puisqu'elle peut aller jusqu'à 0,15V et cela sans donner naissance à des phénomènes de recouvrement. Notre choix s'est donc porté sur la structure de redresseur synchrone à MOSFET, qui est certes plus complexe à mettre en oeuvre, mais qui présente des caractéristiques bien meilleures que les redresseurs à diodes.

## I.4 Pré-dimensionnement

### I.4.1 Choix de la fréquence

Le choix de la fréquence de découpage est essentiel car il va conditionner l'ensemble de l'étude, que ce soit vis à vis des parties actives du micro-convertisseur, que par rapport aux éléments passifs dont l'étude est faite dans un second temps.

Pour nous permettre de faire un choix, il faut tout d'abord modéliser les pertes par conduction et par commutation au sein des transistors afin d'étudier l'influence de la fréquence sur le rendement.

Pour mieux appréhender les paramètres qui vont influencer sur ces pertes, la figure I.6 présente le schéma d'un transistor MOSFET en coupe.

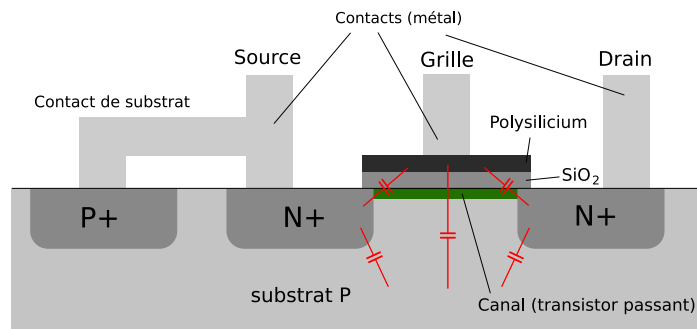


FIG. I.6 – Transistor MOSFET en coupe

Ainsi, ce schéma nous montre, entre autres, la présence de capacités parasites entre drain et substrat, grille et substrat ainsi qu'entre grille et source. Ici, le substrat est connecté à la source, ce qui permet de court-circuiter la capacité entre source et substrat. Ainsi, la présence du substrat n'est pas sans conséquence sur les capacités intrinsèques des MOS. De plus, lorsque le transistor est passant, le canal qui se crée entre le drain et la source, juste sous la grille, possède une certaine résistance. Ces résistances et capacités parasites sont de fait liées à la largeur de canal (dimension normale au plan du schéma), noté  $W$  par la suite.

Le tableau figure I.7 donne une expression simplifiée en fonction de ces éléments des deux types de pertes (conduction et commutation), ce qui nous permet d'étudier l'impact des différents paramètres, dont la fréquence.

Pertes par conduction	Pertes par commutation
$P_{cond\ bras} = \frac{1}{2}(R_{DS_P} + R_{DS_N})I^2$	$P_{com\ bras} = \frac{1}{2}(C_{ISS_N} + C_{ISS_P} + C_{DS_N} + C_{DS_P})V_{DD}^2 f$

FIG. I.7 – Expressions simplifiées des pertes pour une cellule de commutation

Ces résistances à l'état passant ainsi que les capacités parasites peuvent être exprimées en fonction des grandeurs géométriques, physiques et électriques, comme le montre la figure I.8. Les variables  $W_N$  et  $W_P$  représentent respectivement les largeurs de grille du

NMOS et du PMOS de puissance.

$R_{DSN} = \frac{2V_{DS}L}{\mu_n C_{ox} (V_{GS} - V_{thN})^2 W_N} = \frac{K_{RN}}{W_N}$	$R_{DSP} = \frac{2V_{DS}L}{\mu_p C_{ox} (V_{GS} - V_{thP})^2 W_P} = \frac{K_{RP}}{W_P}$
---	---

$C_{ISSN} = K_{ISS}W_N$	$C_{ISSP} = K_{ISS}W_P$	$C_{DSN} = K_{DS}W_N$	$C_{DSP} = K_{DS}W_P$
-------------------------	-------------------------	-----------------------	-----------------------

$K_{RN} = 1,648.10^{-3} \Omega.m$	$K_{ISS} = 1,8125.10^{-9} F.m^{-1}$
$K_{RP} = 6,174.10^{-3} \Omega.m$	$K_{DS} = 9,0625.10^{-10} F.m^{-1}$

FIG. I.8 – Équations utilisées pour le calcul des pertes par conduction et par commutation et valeurs des constantes

Les valeurs des constantes  $K_{ISS}$ ,  $K_{DS}$ ,  $K_{RN}$  et  $K_{RP}$  peuvent donc être déterminées analytiquement, ou bien à l'aide de simulations sous Cadence (qui prend en compte la technologie utilisée) afin d'avoir des valeurs plus proches de la réalité (en effet, les valeurs utilisées pour établir les modèles des design kits utilisés dans ce logiciel sont issues de mesures expérimentales). Il n'y a toutefois pas d'écart important entre calcul analytique et valeurs extraites des simulations. Il est à noter que la constante  $K_{DS}$  dépend du nombre de doigts de grille que compte les transistors, comme le montre la figure I.9. Par exemple, sur cette figure, la configuration 2 présente deux fois moins de surface entre les caissons de drain et le substrat que la configuration 1 (il est à noter que la capacité source-substrat est court-circuitée, comme nous l'avons mentionné auparavant). Les capacités parasites s'en trouvent donc diminuées d'autant.

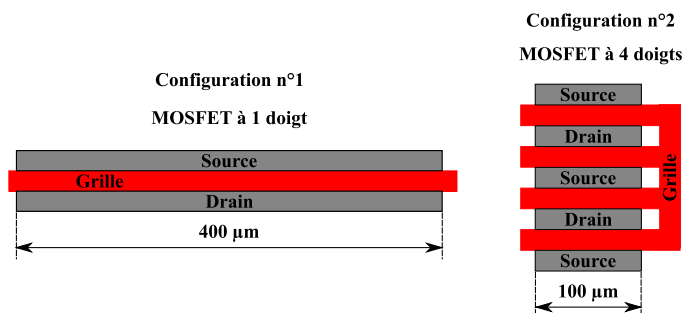


FIG. I.9 – Influence du nombre de doigts



La figure I.10 quantifie l'influence du nombre de doigts de grille. Le rendement ainsi présenté est issu de la simulation d'un onduleur CMOS en pont complet. A largeur de grille totale constante, le nombre de doigts varie, ce qui n'est pas sans conséquence sur le rendement total. Il existe ainsi un optimum en ce qui concerne le nombre de doigts à réaliser pour atteindre le rendement maximal.

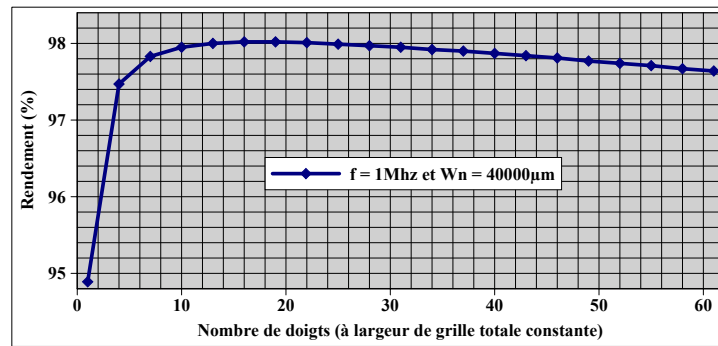


FIG. I.10 – Influence du nombre de doigts : Résultats de simulation

Les valeurs numériques présentées figure I.8 ont donc été déterminées pour un ratio largeur/longueur de grille des MOS proche de 1, ce qui correspond approximativement au nombre de doigts optimal.

Ces expressions nous permettent ainsi de déterminer les pertes totales d'un bras de commutation en fonction de la largeur de grille du NMOS ( $W_N$ ) et du PMOS ( $W_P$ ). Nous pouvons donc, dans un premier temps, observer l'évolution des pertes en fonction de ces deux variables, ce qui nous donne les courbes de la figure I.11.

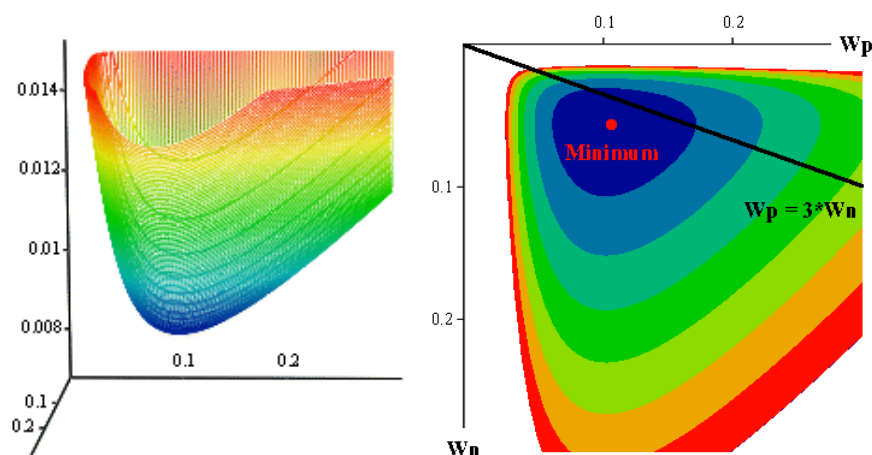


FIG. I.11 – Évolution des pertes totales d'un bras (en W) en fonction de  $W_N$  et  $W_P$

Ce graphique nous montre qu'il existe un minimum pour  $W_N = 52.10^{-3}m$  et  $W_P = 102.10^{-3}m$ , ce qui implique que le PMOS est deux fois plus gros que le NMOS. Cependant,

nous n'allons pas nous placer à cet optimum, qui reste en outre une estimation, pour la raison suivante : la taille du PMOS est déterminée par rapport à celle du NMOS afin d'avoir des résistances à l'état passant identiques entre le NMOS et le PMOS. Ceci permettra de répartir les pertes par conduction entre les deux transistors et d'obtenir des chutes de tensions identiques. La résistance à l'état passant des MOS est liée à la mobilité des porteurs, il faut donc que le rapport des tailles du transistor P et du transistor N soit identique au rapport des mobilités des porteurs dans le cas du PMOS et du NMOS.

$$W_P \approx 3 * W_N$$

La figure I.11 montre que ce choix permet de ne pas s'éloigner de façon importante de l'optimum précédemment mis en évidence, puisque le lieu de points où  $W_P = 3 * W_N$  passe juste à côté de l'optimum.

Il est maintenant possible de déterminer la largeur de grille optimale des MOS de puissance pour minimiser les pertes, en fonction d'une seule variable, à savoir  $W_N$ . En dérivant l'expression des pertes totales puis en cherchant pour quelle valeur elle s'annule, on obtient l'expression de la largeur de grille des MOS de puissance pour laquelle les pertes totales sont minimisées.

$$W_{N_{optimal}} = \sqrt{\frac{I^2(K_{RP} + 3K_{RN})}{12V_{DD}^2 f(K_{GS} + K_{DS})}}$$

Des précisions sur l'optimisation de la largeur de grille des MOS de puissance seront apportées lors du dimensionnement de la cellule de commutation page 35.

En ré-injectant cette expression de la largeur de grille (qui minimise donc les pertes) dans les expressions des pertes par conduction et par commutation, nous pouvons ainsi déterminer le rendement maximum que l'on peut atteindre.

$$\eta_{max} = 1 - 4\sqrt{\frac{(K_{RP} + 3K_{RN})(K_{GS} + K_{DS})f}{3}}$$

Cette expression ne dépend que des constantes liées à la technologie et à la fréquence, donc quel que soit le niveau de courant et de tension (donc de puissance) de notre micro-convertisseur, le rendement est, à technologie donnée, dépendant uniquement de la fréquence. La courbe figure I.12 montre l'évolution de ce rendement maximum en fonction de la fréquence.

Pour valider ce modèle, plusieurs simulations ont été réalisées à différentes fréquences (voir figure I.12). On peut ainsi observer une bonne correspondance entre le modèle et les résultats de simulation. Cependant, il est à noter que plus la fréquence augmente, plus l'écart entre modèle et simulation augmente, montrant ainsi que certains phénomènes présents lors des commutations ne peuvent plus être négligeables à haute fréquence. Par ailleurs, l'identification pratique de cette analyse semble hors d'atteinte puisque reposant

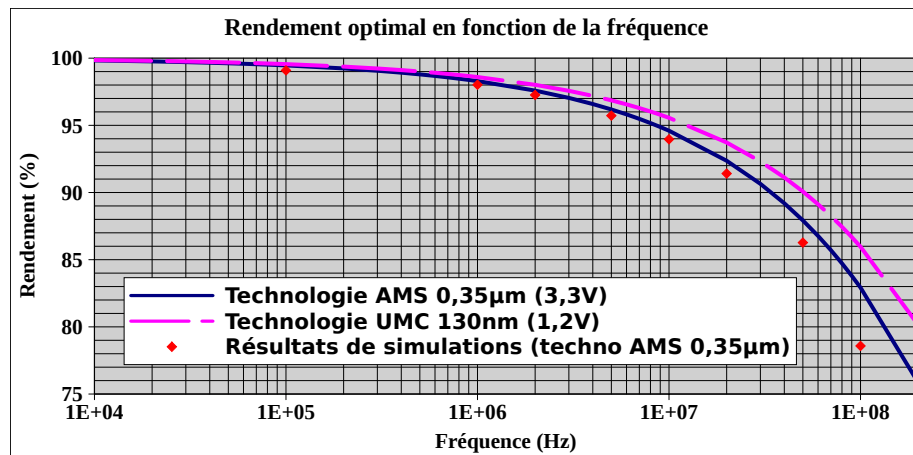


FIG. I.12 – Courbe montrant le rendement maximal possible en fonction de la fréquence

sur de nombreux et coûteux prototypages.

Il est intéressant de noter également que le choix de la technologie, à savoir la finesse de gravure et donc la tenue en tension des transistors MOS, détermine la fréquence de fonctionnement maximale pour un niveau de pertes donné. En effet, on observe sur les courbes de la figure I.12 qu'une tenue en tension plus faible permet un fonctionnement à une fréquence plus élevée.

En effet, le passage d'une génération technologique à une autre (ici, le passage de la technologie AMS 0,35µm à UMC 130nm) permet de réduire toutes les caractéristiques géométriques et électriques des transistors MOS (largeur de grille, longueur de grille, épaisseur d'oxyde de grille, tension de grille nominale et tension de seuil). Ces réductions permettent de conserver une résistance à l'état passant identique tout en réduisant les capacités parasites des MOS, dont la capacité de grille. Ainsi, à fréquence donnée, les pertes par commutations sont, elles aussi, réduites. Pour retrouver un niveau de perte identique à la technologie AMS, il est donc possible de fonctionner à une fréquence plus élevée.

Ces caractéristiques sont tout de même à considérer avec précaution. En effet, les caractéristiques d'une technologie est soumise à la qualité des différentes étapes de la réalisation. Par exemple, pour illustrer le problème qui se pose ici, la résistance à l'état passant des transistors MOS latéraux ne répond pas forcément aux lois théoriques énoncées ici. Lorsque le transistor est passant, les charges circulent dans le canal sur une très faible épaisseur, au niveau de l'interface Si/SiO<sub>2</sub>. La qualité de cette interface, par sa rugosité notamment, joue directement sur la résistance du canal [DG06], puisqu'un mauvais état de surface va freiner le mouvement des charges. Ainsi, d'un procédé technologique à un autre (que ce soit d'une génération technologique ou d'un fondeur à un autre) la résistance à l'état passant des MOS dépend entre autres de la qualité de réalisation, il n'y a donc pas nécessairement de loi générale d'évolution de cette résistance en fonction de la technologie.

Ces observations peuvent également se faire sur des technologies plus classiques dans le domaine de l'électronique de puissance. En effet, une étude faite sur une multitude de MOSFET discrets disponibles dans le commerce [VV08] montre les mêmes tendances, figure I.13. Les valeurs sont normalisées pour un calibre en courant de 1A, afin de pouvoir comparer les composants de calibres différents entre eux.

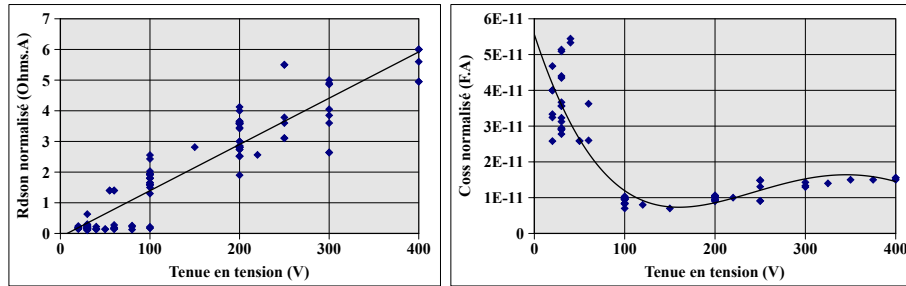


FIG. I.13 – Évolution de  $R_{dson}$  et de  $C_{oss}$  en fonction de la tenue en tension [VV08]

Ces courbes nous montrent donc que la résistance à l'état passant présente une tendance proportionnelle à la tenue en tension et que, pour une gamme de composants discret dont la tenue en tension ne dépasse pas 100V, la capacité  $C_{oss}$  est décroissante avec la tenue en tension. Au-delà d'une centaine de volt, les constructeurs déclassent le calibre en courant de leurs composants en raison des problèmes de dissipation thermique, ce qui modifie la progression des caractéristiques technologiques des transistors à courant normalisé.

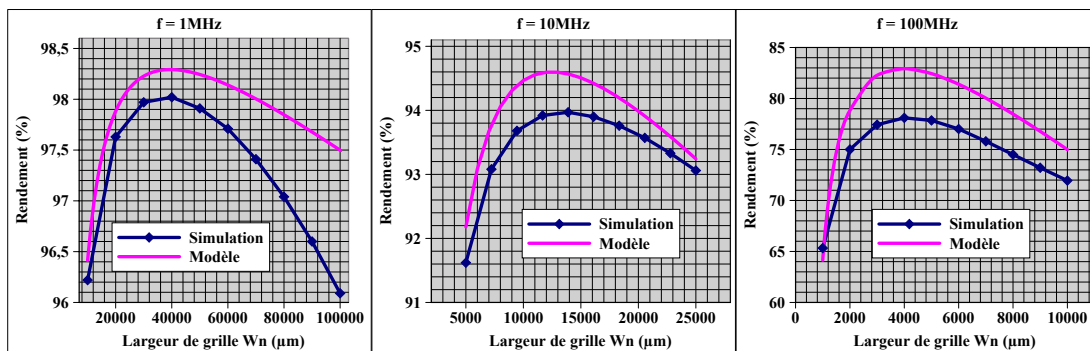


FIG. I.14 – Largeurs de grille et rendements optimaux à fréquence donnée (1MHz, 10MHz, 100MHz) - Comparaisons Modèle simplifié et résultats de simulation (AMS  $0,35\mu\text{m}$ )

Toujours pour valider notre modèle, et vérifier d'une part que nous avons effectivement une largeur de grille optimale pour chaque fréquence, et que d'autre part le niveau de rendement correspondant à la courbe de la technologie AMS de la figure I.12 est correct, nous avons réalisé des simulations pour 3 fréquences différentes en faisant varier la largeur de grille des MOS. Les résultats sont présentés figure I.14.

Nous pouvons ainsi conclure que notre modèle permet effectivement d'obtenir la largeur de grille optimale et qu'il permet également d'estimer d'une manière satisfaisante le niveau de rendement que l'on peut atteindre.

Toutefois, ce modèle et ces résultats sont à prendre avec précaution car tirés de résultats de simulation. Ces courbes nous montrent donc une tendance, et nous permettent donc seulement d'estimer les niveaux de rendements ainsi que les largeurs de grille optimales.

L'aspect intégré de ce dimensionnement assure à cette étude des degrés de libertés qui permettent de choisir les composants actifs afin de s'approcher au mieux des caractéristiques optimales. En effet, la possibilité de faire varier tous les paramètres des transistors (largeur de grille, longueur de grille) ainsi que la technologie permet de s'assurer du bien fondé de l'optimum ainsi déterminé.

Cette approche permet donc d'exploiter au mieux les caractéristiques d'une technologie, puisqu'à partir d'un critère basé sur le rendement minimum que l'on souhaite obtenir, le choix d'une technologie permet de déterminer la fréquence à ne pas dépasser. Par conséquent, cela contribue à la possibilité d'une montée en fréquence optimale bénéfique pour les caractéristiques des composants passifs.

Une montée en fréquence ne se traduit donc pas nécessairement par une diminution du rendement à partir du moment où le choix de la technologie est libre. Cet aspect est bien évident pour ce qui concerne les composants actifs et nous verrons ce qu'il en est pour les composants passifs par la suite.

Le choix de la fréquence va donc, d'une part, influencer de manière significative sur la taille des éléments passifs et, d'autre part, sur le rendement maximum que l'on pourra atteindre. Pour pouvoir atteindre un rendement satisfaisant de l'ensemble de notre micro-convertisseur, nous pouvons par exemple nous fixer un rendement atteignable minimal pour ce circuit actif de 98%. Ce choix conduit donc à se fixer 1% de pertes par conduction et 1% de pertes par commutation au point nominal de fonctionnement. De plus, il est nécessaire de considérer la faisabilité des éléments passifs pour la fréquence choisie, tout en assurant de bonnes caractéristiques électriques et géométriques. Notamment, les pertes dans le circuit magnétique ainsi que dans les conducteurs risquent d'être beaucoup trop pénalisantes au-delà d'une certaine fréquence, comme nous le verrons dans le chapitre sur les éléments passifs. Ainsi, nous pouvons a priori estimer que la fréquence de découpage de notre structure sera de l'ordre de 1MHz.

#### I.4.2 Choix de la technologie pour la partie active : compléments

Comme nous l'avons vu précédemment, le choix de la fréquence de découpage est lié à celui de la technologie utilisée et vice versa. Cependant, dans la gamme de technologies disponibles de nos jours (à savoir des finesses de gravure inférieures à  $0,6\mu\text{m}$ ), ce choix est critique pour des fréquences d'utilisation élevées, au dessus de 10MHz, où l'écart entre la technologie AMS  $0,35\mu\text{m}$  et UMC  $0,13\mu\text{m}$  dépasse deux points de rendement. En revanche,

à 1MHz, l'écart est peu significatif, ce qui nous pousse à considérer d'autres critères pour le choix de la technologie à utiliser.

Nous avons donc vu dans le paragraphe précédent que plus la finesse de gravure diminue, plus la tenue en tension diminue, ce qui nous donne une limite inférieure puisque les applications visées ont besoin de travailler avec un niveau de tension suffisant. D'autre part, les technologies à résolution insuffisantes ne permettraient pas de fonctionner à des fréquences importantes. En effet, nous avons fixé la fréquence de notre circuit de puissance à 1MHz, et nous avons également vu qu'il y avait peu d'écart de rendement à cette fréquence, mais il ne faut pas oublier que l'objectif de ces travaux est également d'intégrer monolithiquement le circuit de puissance et le circuit de commande. Or, ce dernier a besoin de fonctionner à des fréquences plus importantes, de l'ordre de 100MHz (voir page 52), il faut donc que le circuit soit suffisamment rapide pour accepter des fréquences d'horloge de cet ordre, ce qui borne la finesse de gravure envisageable par une limite supérieure.

Les critères mentionnés ci-dessus nous mènent vers une finesse de gravure de  $0,35\mu\text{m}$ , la figure I.15 montre où se situe cette technologie dans l'historique de l'évolution de la finesse de gravure.

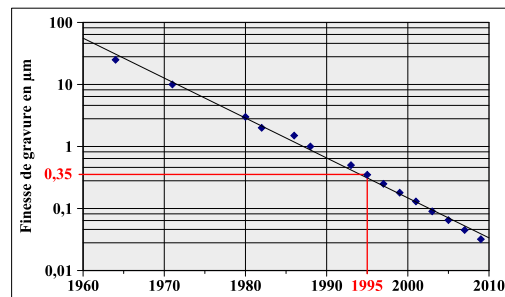


FIG. I.15 – Évolution de la finesse de gravure

De plus, cette technologie, qui date de 1995, est maintenant bien maîtrisée, fiable, et relativement peu chère comparée à d'autres technologies plus récentes. De plus, le choix d'une technologie trop avancée (c'est à dire dont la finesse de gravure est petite) conduirait au dimensionnement de transistors MOS de tailles importantes. En effet, du fait de la diminution des capacités parasites, les pertes par commutation s'en trouvent réduites, alors que les pertes par conduction restent sensiblement constantes. Ceci implique alors que le point optimal se retrouve repoussé vers des valeurs élevées de largeur de grille. En outre, d'un point de vue pratique, cette technologie est facilement accessible au CIME.

### I.4.3 Composants passifs

Comme nous venons de le voir pour les éléments actifs, le choix d'une technologie est guidé par les performances de celle-ci vis à vis du point de fonctionnement considéré. Ce principe s'applique également à chaque élément passif, dont le dimensionnement va être

guidé par les possibilités technologiques vis à vis des besoins de la structure globale pour lui assurer un rendement optimal.

Plus concrètement, nous pouvons dès maintenant estimer le rendement de l'ensemble de la structure en fonction de la valeur notamment de l'inductance magnétisante du transformateur, ainsi que de la valeur de l'inductance de sortie. Pour se faire, il est nécessaire, dans le cas des passifs comme précédemment pour celui des actifs, de sélectionner une technologie compatible et représentative des besoins. Un premier calcul, relativement simplifié, permet principalement de se rendre compte de l'ordre de grandeur de l'inductance magnétisante du transformateur qui est nécessaire dans la structure pour limiter les variations de courant au primaire, ainsi que des besoins en filtrage en sortie du redresseur. De plus, vis à vis d'une topologie de transformateur donnée, cette première estimation nous permettra de vérifier la présence d'un optimum en terme de rendement. En effet, les pertes par conduction sont liées, d'une part, aux courants efficaces et, d'autre part, aux résistances des différents éléments. Or, pour une topologie de transformateur donnée, le nombre de spires détermine l'inductance magnétisante ainsi que la résistance du bobinage. La valeur efficace du courant au primaire du transformateur dépend non seulement du courant de charge en sortie de la structure, mais également de la variation de celui-ci et donc de l'inductance magnétisante. À partir d'une certaine valeur d'inductance, l'ondulation de courant devient suffisamment faible pour que la valeur efficace n'évolue plus en fonction de la valeur d'inductance. Par contre, plus le nombre de spires est élevé, plus la résistance du bobinage est importante, ce qui entraîne des pertes par conduction plus élevées. Ceci est d'autant plus marqué dans le cas des topologies planars (voir page 86) où chaque spire supplémentaire rajoute une résistance de plus en plus grande du fait du périmètre grandissant de celle-ci. Nous voyons donc venir la présence d'un optimum de pertes dans les bobinages en fonction du nombre de spires dans le transformateur et dans l'inductance de sortie (et ce à technologie donnée).

Pour vérifier ce point en faisant un calcul simplifié, nous pouvons considérer le schéma équivalent de la figure I.16 où les transistors MOS sont modélisés simplement par leurs résistance à l'état passant, le transformateur par les résistances des bobinages primaire et secondaire ainsi que par son inductance magnétisante, et l'inductance de sortie par son inductance en série avec la résistance de son bobinage.

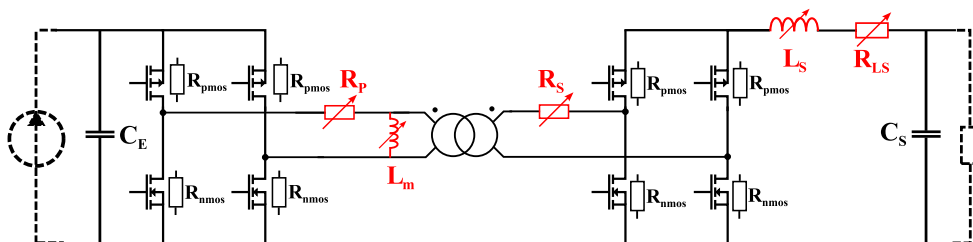


FIG. I.16 – Schéma pour le calcul des pertes par conduction en fonction des éléments inductifs

Le calcul des valeurs efficaces des courants circulant au primaire et au secondaire du transformateur est fait pour un rapport cyclique de fonctionnement de l'onduleur de 80%, afin que l'ondulation de courant de sortie ne soit pas nulle et donc que la variation de la valeur de l'inductance de sortie soit visible. Ce rapport cyclique représente un point de fonctionnement limite, comme nous le verrons par la suite, du fait de la diminution du rendement à faibles rapport cycliques et faibles niveaux de tension. En outre, on considère ici une tension nominale de 3,3V, une charge nominale de  $10\Omega$ , des chutes de tension (faibles) dans les éléments résistifs qui ne sont pas prises en compte et une tension de sortie considérée constante.

Pour chiffrer ces pertes, les résistances à l'état passant des MOS sont celles déterminées précédemment, pour une technologie AMS  $0,35\mu\text{m}$  à une fréquence de 1 MHz, à l'optimum du compromis pertes par conduction et par commutation. Pour rappel, notre cahier des charges considère donc une puissance transmise de 1 W, sous 3,3 V (tension nominale de la technologie AMS). Par ailleurs, les ondulations de courant sont négligées pour le calcul des pertes par commutation.

En ce qui concerne la relation entre le nombre de spires, l'inductance et la résistance de chacun des éléments inductifs, il est nécessaire de choisir une topologie. En effet, l'évolution des résistances et de l'inductance magnétisante ne sont pas identiques pour, par exemple, une topologie classique d'un bobinage réalisé autour d'un cylindre, ou une topologie planar, pour laquelle les conducteurs sont déposés sur un même plan. Pour donner un exemple concret, chaque spire d'une réalisation classique apporte une résistance identique puisqu'elle est bobinée sur un cylindre de diamètre donné. Dans le cas de la topologie planar, chaque spire supplémentaire apporte une résistance de plus en plus grande puisque la diamètre de celle-ci augmente avec sa position. Il est donc clair que le point optimal ne peut pas être identique d'une topologie à l'autre.

Pour ce calcul, nous avons retenue une topologie planar avec circuit magnétique (voir figure III.66 page 128), mais ce calcul peut bien entendu être mené pour d'autres topologies. Nous reviendrons plus en détails sur la technologie planar lorsque nous aborderons les composants passifs dans le chapitre III.

Ainsi, la figure I.17 montre l'évolution du rendement de la structure complète en fonction du nombre de spires du transformateur et de celui de l'inductance de sortie.

On observe, comme prévu, une valeur optimale du nombre de spires pour le primaire du transformateur (fixant l'inductance magnétisante), ainsi que pour l'inductance de sortie. Ce graphique indique ainsi un nombre de spires optimal pour l'inductance magnétisante du transformateur proche de 5, et égale à 4 pour l'inductance magnétisante. Ces nombres de spires correspondent à des valeurs d'inductances proches de  $2\mu\text{H}$  pour la topologie retenue (voir page 126).

Il est également important de noter ici que ces rendements ne prennent pas en compte toutes les sources de pertes présentes dans la structure du micro-convertisseur. Seules les pertes par conduction et par commutation sont comptabilisées ici (les pertes par commutation ont été considérées constantes et égales à 20mW pour l'ensemble de la



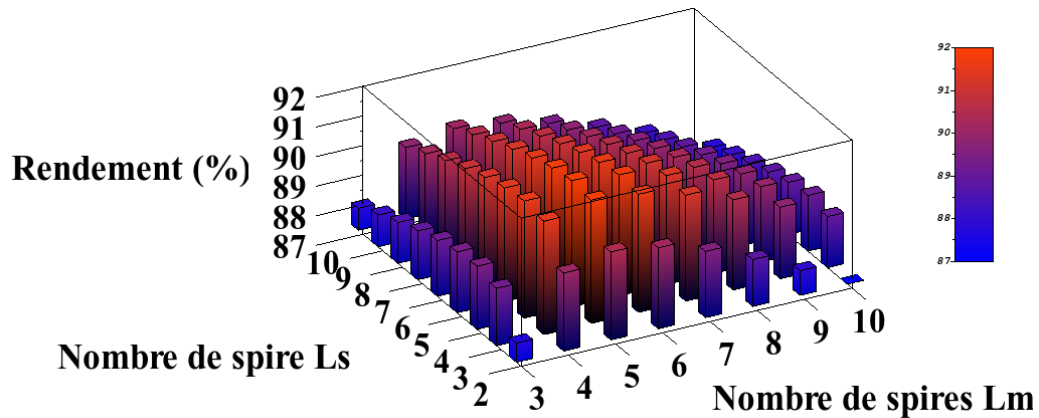


FIG. I.17 – Estimation du rendement du micro-convertisseur en fonction des valeurs d'inductance magnétisante et d'inductance de sortie

structure, ce qui correspond à l'optimum précédemment déterminé). Nous verrons aussi que la consommation de la partie commande intégrée des composants actifs n'est pas prise en compte dans ces rendements.

#### I.4.4 Adéquation technologies / fréquence / puissance

Dans les paragraphes précédents, nous avons estimé nos besoins vis à vis de nos objectifs tant au niveau des composants actifs que passifs, et cela par rapport à des moyens technologiques que nous estimons à notre portée. Pour élargir cette étude, et montrer que les choix des différentes technologies ne sont pas anodines, nous proposons d'explorer dans ce paragraphe les problématiques liées à l'adéquation actifs/passifs, pour plusieurs gammes de fréquences et de puissances, ceci afin d'obtenir le meilleur rendement possible.

Dans la mesure où cette étude peut être très vaste, nous allons nous limiter à trois gammes de fréquences : 1MHz, 10MHz et 100MHz.

Concernant les composants actifs, nous avons vu que le choix d'une technologie, via sa finesse de gravure, conditionne de façon importante le rendement maximal à fréquence donnée, et cela quel que soit la puissance transmise (figure I.12). Plus la fréquence augmente, plus ce rendement optimal diminue.

Nous pouvons donc déjà tirer une première conclusion vis à vis des composants actifs : le cahier des charges, c'est à dire les niveaux de tension et de courant mis en jeu dans le convertisseur, n'influencent pas le rendement maximal à fréquence donnée mais seulement la taille des MOS. Cependant, encore faut-il que la tenue en tension des MOS soit suffisante vis à vis de la tension appliquée au convertisseur.

Le choix d'une technologie pour les composants actifs est donc caractérisé principalement

par les points suivants :

- Tenue en tension suffisante
- Indépendance de la puissance
- Rendement acceptable pour la fréquence de fonctionnement choisie

Il faut tout de même prêter attention à la taille des MOS qui permet de se placer au point de rendement optimal lui-même dépendant du cahier des charges et de la fréquence.

Nous pouvons maintenant faire le même travail avec les composants passifs, dont l'éventail des technologies est beaucoup plus vaste.

Nous avons choisi ici de séparer l'étude des composants actifs et passifs, mais cette différenciation a ses limites, dans la mesure où les optimum locaux ne correspondent pas toujours aux optimum globaux. De plus, certains critères de dimensionnement peuvent impacter de manière différente et plus ou moins significatives selon les types de composants, on pense en particulier à la fréquence. Enfin, les inter-connexions ne seront pas identiques suivant le choix de telle ou telle technologie de passifs, notamment vis à vis de la fréquence. Comme exemple, prenons le cas d'une structure de passifs totalement intégrée de façon monolithique aux structures actives. Dans ce cas, les connexions actifs-passifs se font au sein même de la puce ce qui limite, d'une part, les résistances et les inductance parasites et, d'autre part, augmente la fiabilité de la structure. Donc, suivant la technologie de passifs choisie, des aspects extérieurs aux composants passifs tels que les inter-connexions doivent être prises en compte pour juger des performances globales.

Maintenant, le choix d'une technologie de passifs peut se faire suivant une multitude de critères, plus ou moins judicieux, suivant les objectifs recherchés :

- Taille du composant
- Caractéristiques électriques
- Caractéristiques mécaniques
- Possibilités technologiques de réalisation
- etc

Dans le cas où les passifs peuvent être réalisés monolithiquement au circuit actif, le problème de l'interconnexion ne se pose pas mais celui de la compatibilité des procédés de réalisation est bien présent. Au contraire, dans le cas du report des passifs sur les composants actifs, il faut que les moyens d'inter-connexions assurent le meilleur contact mais les technologies de réalisation sont alors découplées. À partir de ce constat, nous pouvons déjà dire que l'intégration monolithique se limitera à un certain nombre de technologies, afin d'être compatible au procédé de réalisation du circuit actif. Ceci nous conduit par exemple à ne pas utiliser de circuit magnétique dans le cas d'inductances (topologie "intégration sur silicium + circuit magnétique" de la figure I.18), car le dépôt de la couche inférieure de circuit magnétique n'est pas compatible avec certaines étapes à moyenne et haute température utilisées lors de la fabrication des composants actifs (dépôts d'oxyde), ce qui oblige à une certaine montée en fréquence (100MHz ou éventuellement 10MHz).

Cette étude ne se voulant pas exhaustive, nous nous limiterons à trois topologies différentes concernant les composants passifs inductifs afin de s'appuyer sur quelques éléments concrets sans toutefois lister toutes les éventualités, ce qui pourrait faire l'objet d'un chapitre entier.

Pour déterminer les caractéristiques géométriques adéquates d'une topologie donnée, il est nécessaire de prendre en compte les possibilités technologiques. En effet, la recherche d'un optimum peut nous amener à des caractéristiques géométriques très difficiles à obtenir voire irréalisables. Si l'optimum se trouve en dehors des possibilités de réalisation, il n'est alors pas possible de se placer aux caractéristiques voulues, mais il est tout de même nécessaire de s'en approcher le plus possible en se contentant des moyens à notre disposition.

Considérons donc les topologies suivantes de transformateurs planars :

- Kapton cuivré double face + circuit magnétique (report)
- Intégration sur silicium + circuit magnétique (report)
- Intégration sur silicium monolithique, à air (pas de report)

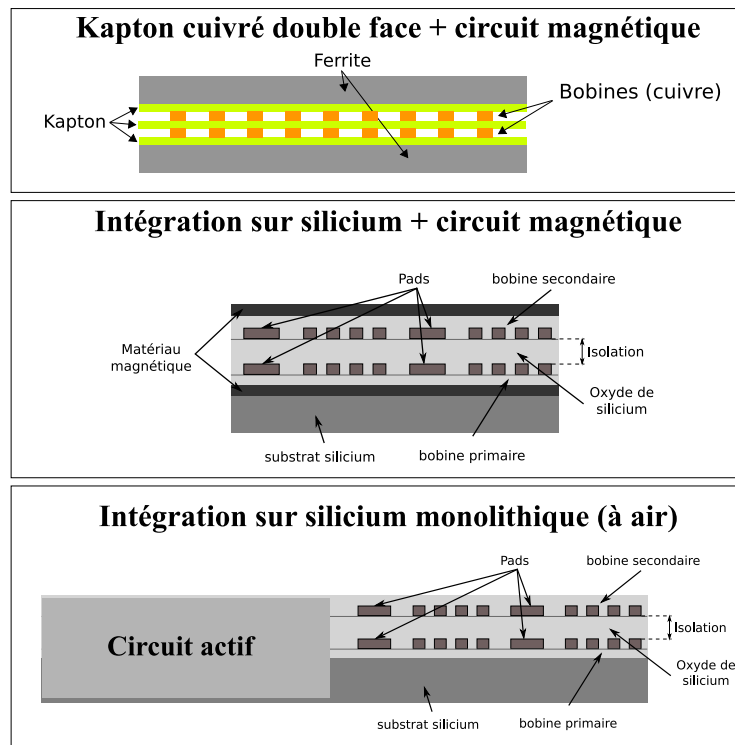


FIG. I.18 – Topologies étudiées dans le cadre de cette étude

À noter que le Kapton cuivré double face consiste en une fine couche de polyimide ( $25\mu\text{m}$  de Kapton) sur laquelle deux couches de cuivre ont été déposées. Nous aurons l'occasion de détailler cette technologie dans le chapitre III.

Ces topologies étant toutes des structures planars, elles ont des points communs, notamment la résistance des bobinages dépendant de la largeur des pistes, de l'épaisseur de celles-ci, de la longueur de la bobine et du matériau. Ceci nous donne donc des points de comparaisons intéressants.

Détaillons un peu plus la problématique de la résistance vis à vis de la topologie et de la gamme de fréquence : la solution choisie conditionne nécessairement les grandeurs géométriques réalisables. Par exemple, la solution du Kapton cuivré ne permet pas de réaliser des pistes inférieures à  $150\mu\text{m}$  de largeur, alors que l'intégration de celles-ci sur silicium permet des largeurs de l'ordre de  $1\mu\text{m}$ . A partir de là, il faut également considérer un paramètre important qu'est l'effet de peau, qui limite la section de conducteur parcouru par du courant et qui devient de plus en plus important en fonction de la fréquence. Par exemple, à 1MHz, l'épaisseur de peau dans le cuivre est de  $65\mu\text{m}$ , alors que nous venons de dire que la largeur minimale est de l'ordre de  $150\mu\text{m}$  pour l'utilisation du Kapton cuivré. A des fréquences supérieures, l'épaisseur de peau devient si petite que la résistance de la bobine devient beaucoup trop importante. Il apparaît donc déjà que cette topologie ne pourra pas être utilisée de manière optimale à des fréquences supérieures à 1MHz.

La solution intégrée offre ainsi la possibilité de réduire la largeur des conducteurs, ce qui permet de repousser l'augmentation de la résistance du fait de l'effet de peau à des fréquences plus élevées. Par exemple, une largeur de piste de  $10\mu\text{m}$  n'est pas un problème vis à vis de l'épaisseur de peau à 100MHz dans le cuivre ( $e_p = 7\mu\text{m}$ ). Cependant, c'est la résistance DC qui peut poser problème ici, car une réduction de la largeur de piste augmente la résistance, il sera donc nécessaire de considérer une longueur de bobinage réduite par rapport à une solution sur Kapton cuivré, ce qui diminue par conséquent le nombre de spires réalisables, et donc la valeur d'inductance atteignable. D'autre part, l'intégration sur silicium pose également le problème de l'épaisseur des conducteurs. En effet, les techniques de dépôts de métallisation ne permettent pas d'obtenir de fortes épaisseurs de conducteurs, tout au plus 3 ou 4  $\mu\text{m}$ , ce qui ne va pas dans le bon sens pour les résistances des pistes.

Nous voyons déjà apparaître certaines contraintes liées à l'utilisation de telle ou telle technologie en fonction de la fréquence, il nous reste à aborder l'aspect puissance vis à vis de ces contraintes et technologies.

Pour déterminer quelle puissance il est possible de faire transiter via un transformateur, il est nécessaire de se fixer un critère de pertes acceptable au sein du composant. En effet, il n'est pas question de réaliser un transformateur dont le rendement serait inférieur à 80% par exemple. Pour chaque technologie envisagée, et à partir d'une géométrie typique déterminée vis à vis de la fréquence adéquate, il faut donc estimer les pertes pour un cahier des charges qui ne peut donc pas être défini au préalable, puisque celui-ci dépendra de la puissance transmissible acceptable.

Pour commencer, nous pouvons fixer la tension de travail du composant par rapport à la tension nominale du circuit actif préalablement choisi. Ainsi, la détermination de la

puissance transmissible se réduit au seul niveau de courant circulant dans la structure.

Plusieurs aspects vont donc jouer un rôle au niveau des pertes dans le transformateur. Premièrement, les pertes par effet Joule dans les bobinages, qui dépendent de la géométrie, de la fréquence et de la valeur de l'inductance magnétisante, sont une source majeure. Il faut donc que ces pertes soient relativement faibles par rapport à la puissance transmise pour assurer un bon rendement.

Dans le cas de la topologie du Kapton cuivré (1MHz) et de l'intégration sur silicium sans circuit magnétique (100MHz), ces pertes par conduction sont d'ailleurs la seule source de pertes. La seule problématique consiste donc à estimer ces pertes qui dépendent donc de la résistance (et donc de la géométrie et de la fréquence) mais également de la valeur d'inductance magnétisante qui détermine les variations de courant (par rapport à une fréquence donnée), et donc la valeur du courant efficace au primaire du transformateur.

Le cas particulier des topologies en présence de circuit magnétiques est à considérer, puisque les pertes fer viennent s'ajouter aux pertes par conduction dans les conducteurs. Ces pertes fer dépendent de la fréquence, de la tension, du champ magnétique généré par les bobines, ainsi que du volume de matériau magnétique (et donc de la géométrie du composant). Il n'est donc pas aisé de déterminer, a priori, et dans un cas général, les pertes générées dans ce type de topologie.

Pour diminuer ces pertes par conduction (qui sont liées à la résistance des conducteurs), une montée en fréquence ne sera donc possible qu'à partir du moment où on s'autorise à diminuer la largeur des conducteurs à cause de l'effet de peau. Cependant, les valeurs d'inductance que l'on peut obtenir avec ces topologies étant plus faibles (pour garantir une résistance DC équivalente), les courants efficaces sont donc plus importants, augmentant ainsi les pertes. On se retrouve donc avec deux aspects qui vont dans des directions opposées, ce qui laisse penser à la présence d'un optimum.

Dans le cas de reports, il est également important de caractériser la qualité du contact afin de pouvoir évaluer les avantages et les inconvénients des différentes topologies. Par exemple, la technique classique de mise en oeuvre d'un circuit intégré est la connexion dans un boîtier à l'aide de bondings. Ces derniers ont typiquement un diamètre de l'ordre de  $25\mu\text{m}$  pour des circuits intégrés classiques, ce qui est adapté à un signal de commande, mais qui nécessite la pose d'un grand nombre en parallèle dès qu'il s'agit de faire passer de la puissance, afin de limiter les résistances et inductances parasites. Pour palier à cet inconvénient, des techniques intéressantes comme le flip-chip ou le report par pressage des puces peuvent être envisagées. Nous verrons plus en détail les moyens de mise en oeuvre dans le 4ème chapitre.

Les techniques du flip-chip et du contact pressé sont intéressantes vis-à-vis de la suppression des éléments parasites qu'apporteraient des bondings si la qualité du contact est particulièrement soignée. Or, celui-ci dépend de la rugosité des surfaces mises en contacts, qui dépend elle-même de la méthode de réalisation de ces dernières. Nous aurons

l'occasion de revenir sur tous ces points ultérieurement dans ce mémoire.

## I.5 Conclusion

Pour résumer ce qui a été mentionné dans ce chapitre, le tableau I.19 montre les tendances vis à vis des technologies adaptées aux différentes gammes de fréquences et de puissances. Le calcul des puissances transmissibles est basé, d'une part, sur des pertes par effet Joule dans les conducteurs et ,d'autre part, sur des pertes dans le circuit magnétique (pour 1MHz et 10MHz), le tout correspondant à environ 4 points de rendement. Le matériaux magnétique est choisi suivant ses caractéristiques à la fréquence considérée, à savoir du 3F4 de chez Ferroxcube pour 1MHz, et du 4F1 pour 10MHz. Par ailleurs, nous nous basons sur une technologie de composants actifs dont la tenue en tension est de 3,3V, permettant ainsi de déterminer le courant maximal afin de ne pas dépasser ces 4 points de rendements. Pour plus de détails, ces calculs font référence aux topologies présentées dans les chapitres suivants.

Gamme de fréquence	1 MHz	10 MHz	100 MHz
Technologies adaptées	Kapton cuivré + ferrite	Silicium + ferrite	Silicium (à air)
Puissances transmissibles	$\approx 0,7$ W	$\approx 0,7$ W	$\approx 0,2$ W
Inconvénients de ces solutions	Taille	Report nécessaire	Rayonnement

FIG. I.19 – Tableau récapitulatif de l'étude tri-fréquence pour les composants passifs

À noter que pour la gamme de fréquence de 10MHz, les pertes sont plus importantes dans le circuit magnétique que dans les conducteurs (3 points de rendement contre 1). À 100MHz, du fait du caractère intégré au process actif de cette solution, les épaisseurs de métallisation sont très faibles, augmentant de manière conséquente la résistance des spires, d'où la réduction des puissances transmissibles.

En ce qui concerne les composants actifs, nous avons vu qu'une baisse de la tenue en tension permet une augmentation de la fréquence de fonctionnement, ce qui signifie que pour une puissance donnée, le niveau de courant augmente, impliquant d'une part une augmentation importante de la taille des MOS et, d'autre part, une augmentation de la surface que doit occuper les pistes d'amenées de courant. Cela nous conduit donc à dire qu'il est nécessaire de réduire la puissance transmissible à fréquence plus élevée.

En ce qui concerne les composants actifs, nous avons vu que la puissance transmissible dépend uniquement de la génération technologique, à savoir la finesse de gravure qui fixe également le niveau de tension applicable à la structure, ainsi que de la fréquence. Ainsi,

---

le courant que l'on souhaite faire transiter détermine uniquement la surface de silicium occupée par les transistors de puissance.

Ce chapitre nous a donc permis d'étudier les problématiques qui se posent dans ces travaux de thèse, pour aboutir à un dimensionnement optimisé de notre micro-convertisseur, que ce soit vis à vis des composants actifs ou passifs. Les chapitres suivants vont s'attarder un peu plus en détails sur les méthodes de conception choisies dans le cadre de la réalisation du micro-convertisseur.





### SOMMAIRE

---

II.1	CONCEPTION DE LA PUCE ACTIVE . . . . .	32
II.1.1	Contraintes et cahier des charges . . . . .	32
II.1.2	Technologie AMS $0.35\mu m$ . . . . .	32
II.1.3	Partie puissance . . . . .	33
II.1.4	Partie commande . . . . .	52
II.1.5	Elaboration du layout . . . . .	65
II.1.6	Modifications liées à une seconde version de la puce active . . . . .	67
II.2	MISE EN OEUVRE ET CARACTÉRISATION . . . . .	71
II.2.1	Caractérisation du mode Onduleur . . . . .	72
II.2.2	Caractérisation du mode redresseur . . . . .	74
II.2.3	Caractérisation du micro-convertisseur complet . . . . .	76
II.3	BILAN ET PERPECTIVES SUR LA PUCE ACTIVE . . . . .	80

---

### Résumé

*Cette partie a pour but de détailler les méthodes de conception qui ont mené à la réalisation des parties actives du micro-convertisseur, à savoir l'onduleur et le redresseur synchrone. L'élaboration de cette puce active comporte des aspects variés tels que le dimensionnement du circuit de puissance, de la commande rapprochée, de la commande semi-éloignée ainsi que du circuit d'horloge embarqué. Les problématiques liées à la conception du layout sont également abordées.*

*Une phase expérimentale permet de valider la conception de la puce dans les deux modes de fonctionnement pour lesquels elle a été prévue (onduleur et redresseur synchrone), ainsi que dans une structure complète comportant également des parties passives.*

## II.1 Conception de la puce active

### II.1.1 Contraintes et cahier des charges

Nous n'avons pas, à proprement parler, de cahier des charges imposé par l'application, mais le pré-dimensionnement présenté dans le chapitre précédent nous guide dans les choix à faire. Il apparaît donc que les éléments suivants constituent notre cahier des charges :

- Fréquence de fonctionnement égale à 1MHz
- Tenue en tension de 3,3V
- Pertes par conduction et par commutation inférieures à 2 points de rendement
- Surface de silicium la plus faible possible (quelques  $mm^2$ )
- Intégration monolithique des circuits de commande éloignée et rapprochée pour simplifier et fiabiliser la mise en oeuvre

D'autre part, il est également important de considérer, dès la conception, l'hybridation des puces actives avec les parties passives du convertisseur. Pour cela, des plots de connexion de tailles suffisantes devront être définis sur le layout de la puce.

### II.1.2 Technologie AMS $0.35\mu m$

Pour compléter et préciser ce qui a été dit dans le premier chapitre, il faut choisir une filière technologique adaptée à nos besoins pour réaliser notre circuit intégré. En effet, un large choix de fondeurs, de finesses de gravure ainsi que de nombreux procédés technologiques s'offrent à nous. Nous pouvons citer par exemple STMicro-electronics ainsi que AustriaMicroSystems qui proposent des technologies dont les finesses de gravure vont de  $45nm$  à  $0.6\mu m$ .

Plusieurs critères vont nous permettre de faire le choix de la technologie :

- Une finesse de gravure de  $0.35\mu m$  permet de faire fonctionner notre circuit aux fréquences souhaitées
- La technologie AMS en  $0.35\mu m$  date de 1995, elle est donc devenue fiable et relativement peu coûteuse
- Le personnel du CIME est familier avec cette technologie, ils ont donc une bonne expérience pour la conception de ces circuits

D'autres fondeurs existent, tels que Xfab [[httpc](#)] ou Dalsa [[httpb](#)]. Cependant, notre choix s'est tourné vers AMS pour plusieurs raisons, en plus de celles déjà citées. Dalsa propose des finesses de gravure allant de  $0,8\mu m$  à  $9\mu m$ , ce qui n'est pas adapté à notre convertisseur (fréquence de fonctionnement maximale trop faible). À l'inverse, STMicro-electronics propose des technologies de  $45nm$  à  $130nm$ , trop fines pour nos travaux. De plus, les coûts liés à ces technologies récentes sont très élevés à l'heure actuelle (de  $2200\text{ €/mm}^2$  pour la technologie  $130nm$  et jusqu'à  $15000\text{ €/mm}^2$  pour la technologie  $45nm$ ).

L'accès facilité à la technologie AMS via le CIME-Nanotech est également un critère de choix, car ils passent eux-mêmes via le CMP [[httpa](#)] qui propose entre autre un support

à la conception.

À partir des critères mentionnés dans le premier chapitre, de ces contraintes techniques ainsi que pour des raisons de coûts, nous nous sommes donc tournés vers la filière proposée par AustriaMicroSystems (AMS), avec une finesse de gravure de  $0.35\ \mu\text{m}$  et quatre niveaux de métallisation dont le niveau supérieur présente une épaisseur plus importante (filière C35B4M3). Cette sur-épaisseur est particulièrement adaptée aux circuits destinés à faire transiter un courant important, puisque ce niveau de métallisation accepte des densités de courant plus importants, et la résistance s'en trouve donc réduite. La figure II.1 présente une vue en coupe de cette technologie.

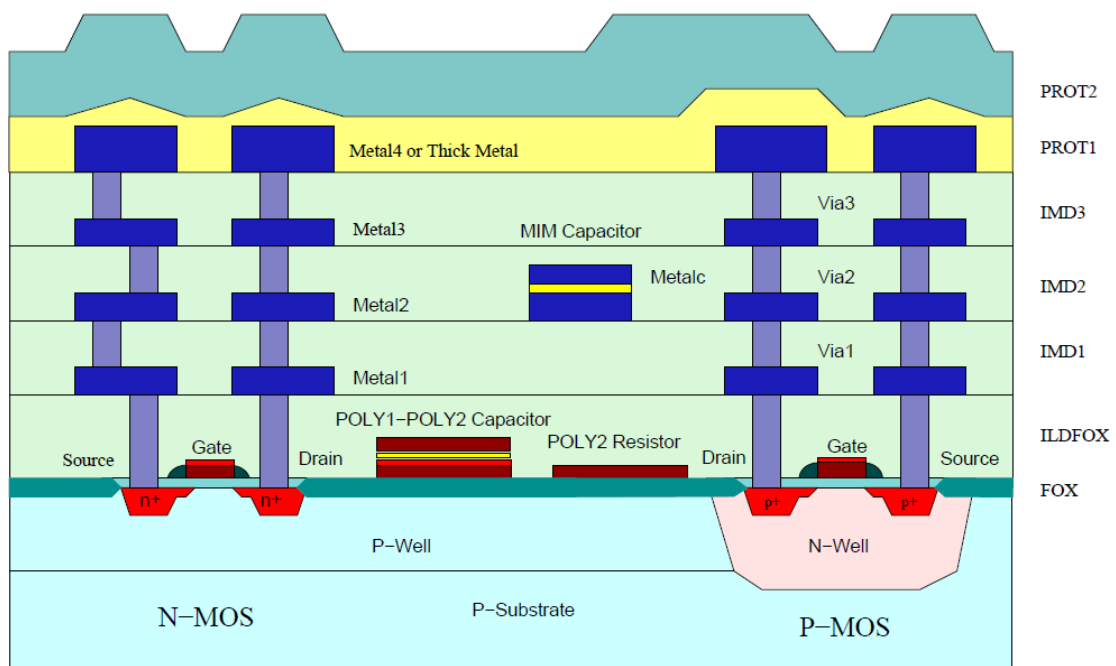


FIG. II.1 – Vue en coupe de la technologie AMS

Pour réduire les coûts de réalisation, nous passons donc par le CMP (Circuit Multi Projets) qui a pour but de mutualiser les wafers avec de nombreux projets différents, puis de traiter avec les fondeurs pour la phase de réalisation (voir figure II.2). Cette organisation permet de maintenir des coûts de prototypages raisonnables. Par ailleurs, le CMP offre un support de report et d'encapsulation basiques mais pratiques pour le test et la mise en oeuvre simplifiée de quelques puces.

### II.1.3 Partie puissance

#### II.1.3.1 Bras de commutation

Le bras de commutation, qui sera dupliqué pour constituer notre onduleur, est composé du PMOS de puissance, du NMOS de puissance ainsi que de la commande rapprochée.

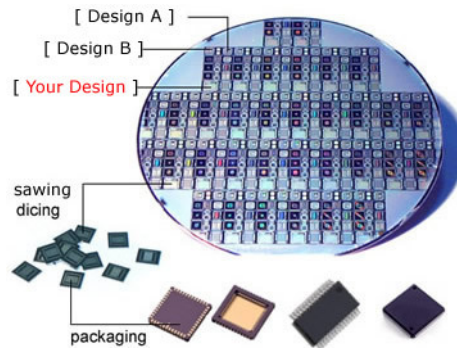


FIG. II.2 – Mutualisation du wafer par le CMP

La technologie CMOS présente un intérêt majeur, que ce soit vis-à-vis du circuit de puissance ou de la commande rapprochée. En effet, dans le premier cas, et comparée à une structure N-MOS classique (dont le bras de commutation est composé de deux transistors à canal N), la commande est plus simple car elle ne nécessite pas d'isolation galvanique ou la présence de plusieurs tensions d'alimentation pour pouvoir appliquer une tension de commande correcte entre grille et source des transistors (voir figure II.3), ce qui rend possible l'intégration de la structure.

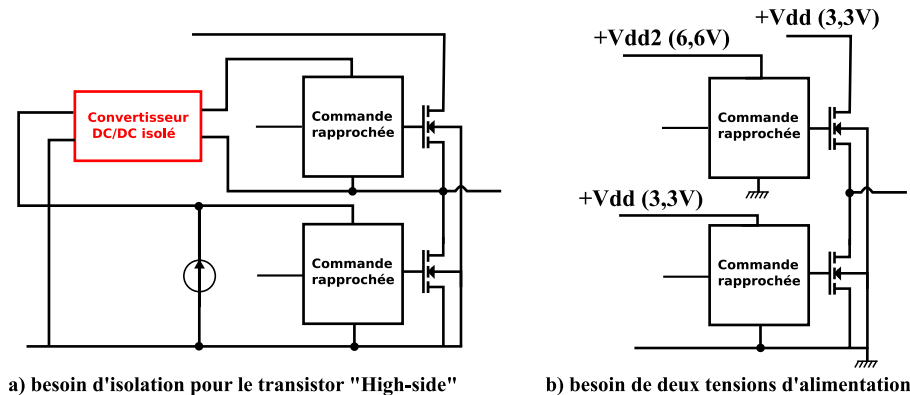


FIG. II.3 – Structure d'un bras de commutation NMOS de puissance classique

Vis-à-vis de la commande rapprochée, la structure CMOS permet de s'affranchir des problèmes de consommation statique et dynamique inhérents à une structure N-MOS classique [Bin08] (figure II.4). De plus, dans le cas où la valeur de la résistance est grande (pour minimiser la consommation statique), la surface occupée par cette dernière est importante, comparée à la surface occupée par une cellule CMOS.

Nous allons donc voir comment dimensionner dans un premier temps les MOS de puissance en fonction du cahier des charges, puis dans un second temps nous verrons la méthode de conception du circuit permettant de les commander de façon optimale.

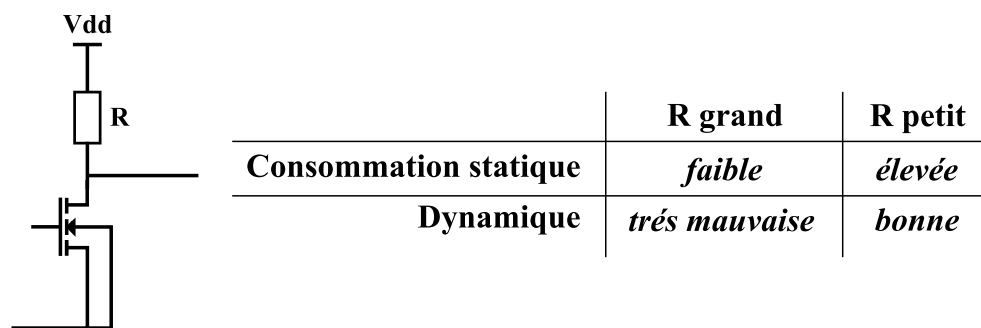


FIG. II.4 – Structure d'une cellule NMOS inverseuse classique pour commande rapprochée

### II.1.3.1.a Conception des transistors de puissance

De la même manière dont la fréquence a été choisie, la conception des MOS de puissance est guidée par la minimisation des pertes dont ils sont principalement à l'origine, à savoir les pertes par conduction et par commutation.

Parmi les paramètres figurant dans les expressions des pertes par conduction et par commutation, certains sont fixés par l'application, à savoir le courant de sortie nominal  $I$  et la tension d'alimentation nominale  $V_{DD}$ . D'autres le sont par la technologie de réalisation choisie telle que la fréquence de découpage  $f$ . Dès lors que cette technologie est choisie, nous ne pouvons faire varier que les résistances à l'état passant des MOS de puissance, ce qui fait également varier les capacités parasites des MOS ( $C_{DS}$  et  $C_{GS}$ ). À technologie donnée, ces grandeurs ne dépendent que de la taille des MOS, c'est à dire de la surface qu'ils occupent sur le silicium. Les grandeurs sur lesquelles nous pouvons agir ( $R_{DS}$ ,  $C_{DS}$  et  $C_{GS}$ ) évoluent de manières différentes en fonction de la taille des MOS. L'objectif du dimensionnement des MOS de puissance est donc de trouver les tailles des différents MOS qui permettront de limiter les pertes totales.

Le graphique figure II.5 montre l'évolution des pertes par conduction ainsi que des pertes par commutation en fonction de la taille des MOS de puissance (ces courbes sont issues des expressions analytiques des figures I.7 et I.8). À titre de rappel, nous avons vu dans le premier chapitre l'étude des pertes en fonction des tailles du NMOS et du PMOS (figure I.11), à partir de laquelle nous avons fixé la taille du PMOS en fonction de celle du NMOS ( $W_P \approx 3 * W_N$ ). En abscisse du graphique figure II.5 se trouve donc uniquement la largeur de grille du NMOS de puissance ( $W_N$ ).

Les pertes par commutation sont donc proportionnelles à la taille des MOS de puissance, alors que les pertes par conduction sont, quant à elles, inversement proportionnelles à cette dernière. Il existe ainsi une largeur de grille qui minimise les pertes totales, comme nous l'avons vu précédemment dans le premier chapitre.

Pour notre cahier des charges ( $I = 300mA$  et  $V_{DD} = 3,3V$ ), nous obtenons donc les pertes minimales de notre cellule de commutation de puissance pour une largeur de

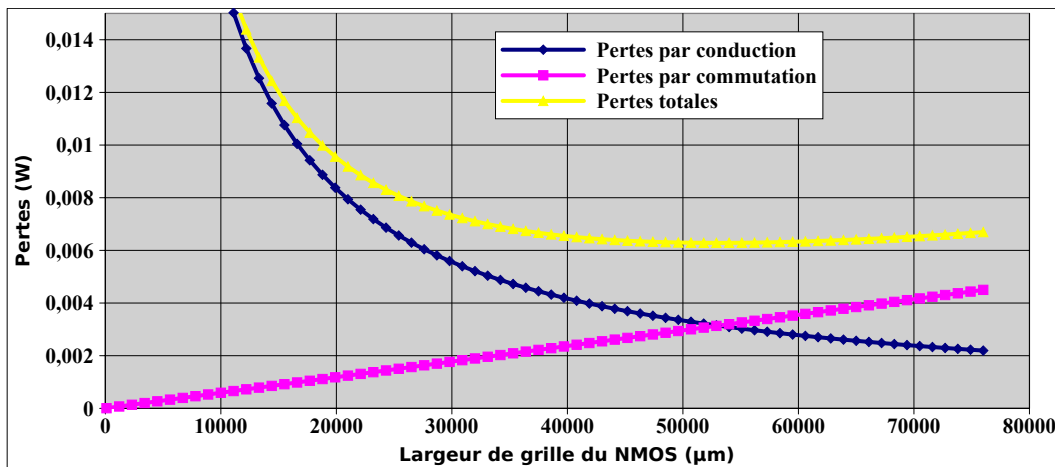


FIG. II.5 – Évolution des pertes par conduction et par commutation en fonction de la taille d'un NMOS (technologie AMS 0,35  $\mu\text{m}$ ,  $V_{\text{dd}} = 3,3 \text{ V}$ ,  $I = 0,3 \text{ A}$ )

grille du NMOS de l'ordre de 53000  $\mu\text{m}$ , où elles atteignent environ 6  $\text{mW}$  (voir figure II.5).

Cependant, cet optimum n'est valable que si les transistors de puissance sont pilotés directement et parfaitement, ce qui n'est pas le cas ici. En pratique, la présence de la commande rapprochée va générer des pertes par commutation supplémentaires, ce qui diminue la largeur de grille optimale. En effet, ces pertes par commutation supplémentaires s'ajoutent donc à celles générées par les transistors de puissance. Or, les pertes par conduction restent inchangées, ce qui implique une variation des pertes totales, modifiant de fait la largeur de grille optimale, comme le montre la figure II.6. Afin d'anticiper ces pertes par commutations supplémentaires, nous allons considérer dans un premier temps que la commande rapprochée génère à peu près le même niveau de pertes par commutation que les MOS de puissance, puis nous validerons a posteriori cette hypothèse afin de vérifier que nous nous situons proche de l'optimum. En effet, il n'est pas possible de déterminer au préalable les pertes par commutation liées à la commande rapprochée, car ces pertes dépendent de la taille des MOS de puissance. Or, nous cherchons à dimensionner ces MOS de puissance par rapport aux pertes totales (MOS de puissance + commande rapprochée), ce qui revient à connaître les pertes liées à la commande rapprochée. Le choix arbitraire des pertes liées à la commande rapprochée, que l'on prend à peu près égales aux pertes par commutation des MOS de puissance, permet de maximiser les pertes par commutation totales, car cela revient à considérer que la commande rapprochée occupe une surface similaire aux MOS de puissance, ce qui constitue donc une limite. Cependant, nous pouvons modérer l'impact de ce choix en observant que l'évolution des pertes totales avec ou sans la commande rapprochée est très faible entre  $W_N = 38000 \mu\text{m}$  et  $W_N = 53000 \mu\text{m}$ , ce qui laisse une certaine marge de manoeuvre dans le choix du  $W_{N\text{optimal}}$ . L'hypothèse des pertes par commutation identiques dans le circuit de puissance et dans la commande rapprochée nous donne donc un  $W_{N\text{optimal}}$  proche de 38000  $\mu\text{m}$ .

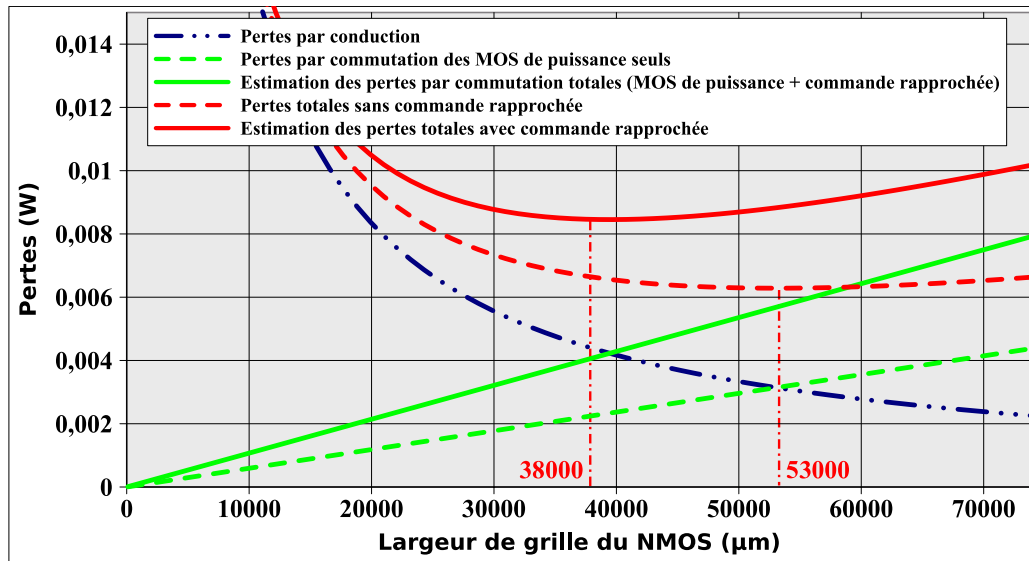


FIG. II.6 – Estimation de l'évolution des pertes avec la commande rapprochée

Pour diverses raisons liées au dessin du layout, nous choisissons les valeurs suivantes :

$$W_N = 32000 \mu m \text{ et } W_P = 98000 \mu m$$

Vis-à-vis de la résistance à l'état passant des MOS de puissance, il est préférable d'assurer un certain équilibre entre le NMOS et le PMOS, dans la mesure où nous cherchons à équilibrer les pertes par conduction entre le N et le P. Ces valeurs de largeurs de grille ne correspondent pas précisément à des résistances à l'état passant identiques entre le PMOS et le NMOS de puissance. Cependant, la différence de résistance qui apparaît entre les transistors N et P est négligeable face aux résistances apportées par l'environnement du bras de commutation.

Les caractéristiques des MOS de puissance sont donc les suivantes :

	NMOS de puissance	PMOS de puissance
Résistance à l'état passant	52 $m\Omega$	63 $m\Omega$
Capacité drain-source	34 $pF$	89 $pF$
Capacité d'entrée	69 $pF$	178 $pF$

FIG. II.7 – Caractéristiques électriques des MOS de puissance

Ce dimensionnement nous conduit, pour notre cahier des charges ( $V_{DD} = 3,3V$  et  $I = 0,3A$ ), aux pertes présentées dans le tableau de la figure II.8.

$P_{cond}$	$P_{com\ MOS\ de\ puissance}$	$P_{com\ commande\ rapprochée\ estimée}$
$\approx 5mW$	$\approx 2mW$	$\approx 1,5mW$

FIG. II.8 – Estimation par calcul des pertes pour la cellule de commutation dimensionnée

### II.1.3.1.b Réalisation des transistors de puissance

Concernant la conception géométrique des MOS de puissance, différents aspects sont à prendre en compte, d'une part pour assurer un fonctionnement optimal, et, d'autre part, pour respecter les règles de dessin dictées par le fondeur.

Pour assurer une distribution homogène du courant et limiter la résistance des pistes d'aluminium empruntées par le courant de puissance, les amenées de courant sont réalisées au niveau du métal 4 (dernier niveau de métallisation) dont l'épaisseur est environ trois fois plus importante que les autres niveaux ( $e_{M4} = 2800\ nm$ ), permettant ainsi de réduire les résistances parasites. Une fois à la verticale de la surface active du MOS de puissance, le courant est acheminé au niveau du silicium par le biais de vias entre chaque niveaux de métallisation. Cette conception permet de réduire au maximum la résistance des amenées de courant. En effet, la figure II.9 montre l'intérêt de concevoir de telles amenées de courant par rapport à une structure classique.

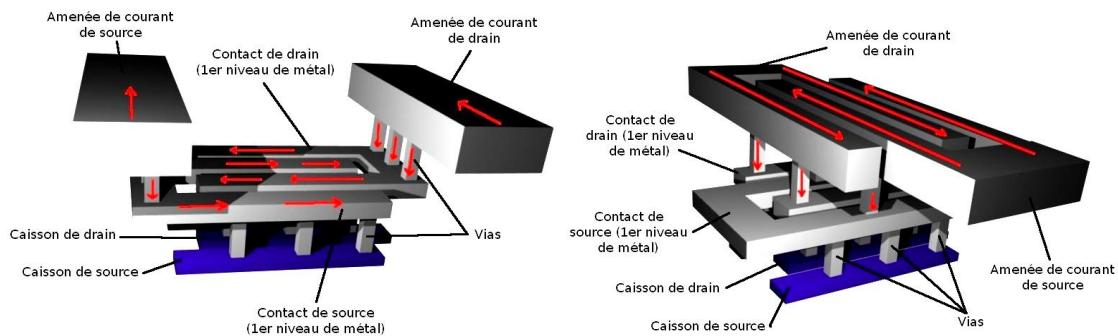


FIG. II.9 – Représentations simplifiées des amenées de courant (à gauche le cas standard, à droite notre structure)

Dans le cas standard, par défaut, le courant circule dans les contacts de drain et de source au niveau du métal 1 (de faible épaisseur), ce qui crée une résistance plus importante que dans le cas où ce courant est acheminé au niveau du métal 4 (plus épais) puis au travers de nombreux vias pour traverser les 3 autres niveaux de métal, juste au dessus des surfaces actives.

Les amenées de courant de grille sont également dessinées de manière à réduire la



résistance et assurer une répartition homogène du courant sur l'ensemble de la surface des MOS de puissance. Cette résistance d'accès minimisée permet de commander rapidement les MOS de puissance.

En effet, la résistance de grille est un aspect important vis-à-vis de l'intégration des structures de puissance. Classiquement, des résistances de grille sont utilisées pour les transistors MOS discrets, dans le but de limiter les  $di/dt$  et réduire les oscillations lors de commutations. Sans résistance de grille, ces variations importantes de courant créent des chutes de tension à cause de l'inductance parasite de la connexion de grille, ce qui ne permet pas de commander correctement le transistor. Dans le cas de structures intégrées qui fonctionnent à fréquence élevées, cette inductance parasite de grille doit être extrêmement réduite, il faut donc concevoir les amenées de courant de grille afin de limiter sa longueur, et donc son inductance parasite. Par ailleurs, le rôle de la résistance de grille est joué par la résistance à l'état passant des transistors du premier étage de la commande rapprochée, ce qui permet de se passer de résistance de grille supplémentaire. De plus, la constante de temps du circuit R-C constitué par cette résistance équivalente et par la capacité de grille du MOS doit être minimisée afin de pouvoir monter en fréquence.

Ces pistes d'amenées de courant de grille ont été élaborées en portant une attention à la minimisation des capacités parasites de manière à limiter les effets de ces dernières, afin de ne pas augmenter de façon importante les pertes par commutation ou les couplages parasites entre puissance et commande.

Il est également important d'assurer une bonne polarisation du substrat ainsi que des caissons "porte canal" dopés N nécessaires pour la réalisation des transistors PMOS. Il faut donc créer des contacts de substrat (et des caissons dopés N) pour fixer correctement le potentiel de ces zones de silicium. Ces contacts de substrats sont reliés à des zones fortement dopées de même dopant que le substrat, ces zones dopées permettent de drainer les courants circulant dans le substrat dans le but de ne pas perturber le bon fonctionnement des transistors. En effet, ces courants sont à l'origine du phénomène de "latch-up", en amorçant des thyristors structurels qui existent dans les structures CMOS, et qui peuvent mener jusqu'à la destruction du circuit (figure II.10).

Pour en savoir plus sur ce phénomène, veuillez vous reporter à la thèse de Jean-Philippe Lain [[Lai03](#)].

Afin de garantir l'efficacité de ces contacts de substrat, chaque transistor doit pouvoir être contenu dans un rectangle dont au moins un côté mesure au maximum  $40 \mu\text{m}$  de côté [TC], cela limite donc la largeur de canal d'un transistor élémentaire (puisque nous avons vu dans le chapitre I qu'il est nécessaire de garder un ratio longueur/largeur de MOS environ égal à 1). Pour satisfaire ce dernier critère, les MOS de puissance sont donc réalisés en connectant en parallèle des MOS plus petits dont les dimensions sont de  $40 \mu\text{m}$  de côté maximum (cela correspond à une largeur de grille de  $1000 \mu\text{m}$ ).

Par ailleurs, les pistes reliant les points milieux des cellules de commutation à leur

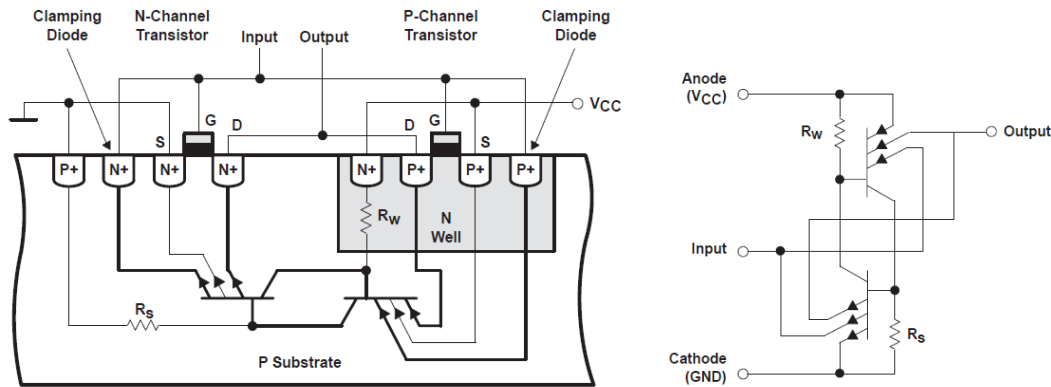


FIG. II.10 – Schéma de la structure CMOS et thyristor parasite impliqué dans le phénomène de "latch-up" [Has00]

plot de connexion devront s'éloigner au maximum des circuits de commande intégrés que nous verrons plus en détails ultérieurement. En effet, le courant circulant dans ces pistes peut présenter une composante alternative, ce qui crée un champ magnétique variable qui pourra donc perturber les circuits de commande du fait de l'apparition d'une force contre-électromotrice. Ce phénomène est connu sous le nom de "diaphonie inductive" [Lop04].

### II.1.3.2 Dimensionnement de la commande rapprochée

Nous avons ainsi un bras de commutation CMOS de puissance qu'il faut commander de façon optimale afin de limiter les pertes dans le circuit. Du fait de la taille de ces MOS de puissance, plusieurs problèmes se posent. En effet, les capacités de grille sont importantes, ce qui ne permet pas de commander les transistors de puissance avec de simples inverseurs CMOS présents en sortie des circuits de commande "éloignée". En effet, sans étages d'amplification, les capacités de grille des MOS de puissance seraient chargées très lentement, ce qui ralentirait les commutations et augmenterait de façon considérable les pertes par commutations. La présence d'une commande rapprochée pour pouvoir fournir le courant approprié aux grilles des transistors est donc nécessaire.

D'autre part, la méthode de commande classique des structures CMOS, qui consiste à contrôler le PMOS et le NMOS d'un bras par une même tension (les grilles des deux transistors sont donc connectées), entraîne des sur-intensités importantes durant les phases de commutation, comme le montre la figure II.11.

En effet, lorsque la tension de commande commune du PMOS et du NMOS se trouve entre les deux tensions de seuils ( $V_{th_N} < V_g < V_{DD} + V_{th_P}$  avec  $V_{th_N} = 0.5V$  et  $V_{th_P} = -0.65V$ ) les deux MOS se trouvent donc à l'état passant simultanément, créant ainsi un courant de court-circuit de bras. Ce problème existe dans une cellule MOS classique (utilisée dans le cadre de circuits logiques) mais les conséquences sont moindres en raison de la petite taille des MOS et donc de leur résistance à l'état passant élevé. En revanche,

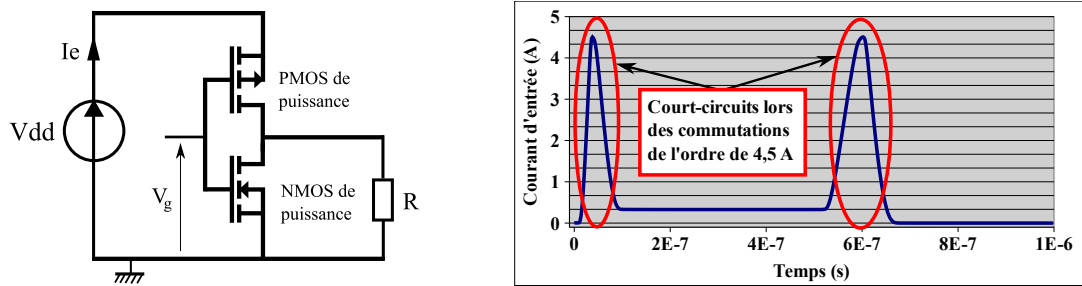


FIG. II.11 – Cellule CMOS commandée classiquement

lorsque les MOS sont conçus pour faire de la conversion d'énergie, ils se doivent d'avoir une très faible résistance à l'état passant, favorisant ces courants indésirables. Ces courants de court-circuit posent principalement deux problèmes majeurs : le premier est qu'ils détériorent le rendement et créent des chutes de tensions non négligeables. Le second problème est que ces fortes sur-intensités génèrent des perturbations CEM qui peuvent perturber l'environnement du circuit de puissance. La commande rapprochée doit donc permettre de créer les temps morts nécessaires pour assurer des temps de conduction des MOS de puissance bien distincts.

Pour assurer ce dernier point, la structure classique de commande rapprochée représentée figure II.12 pourrait être utilisée.

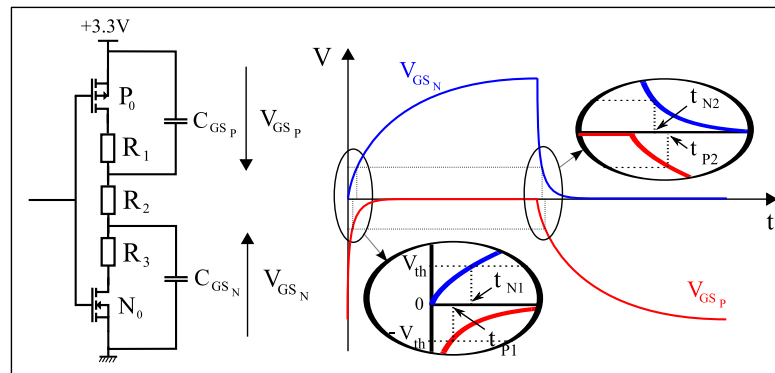


FIG. II.12 – Structure d'une commande rapprochée inadaptée

Cette structure, qui est habituellement utilisée sur les montages à base de composants discrets, permet effectivement de décaler les temps de conductions du NMOS et du PMOS grâce à la résistance  $R_2$  qui permet de dis-symétriser les constantes de temps. Cependant, cette résistance  $R_2$  ralentit la charge de la capacité de grille du NMOS ainsi que la décharge du PMOS, ce qui fait croître de manière importante les pertes par commutation. Cette structure ne permet donc pas de remplir le double rôle de la commande rapprochée envisagée (à savoir une commande rapide du NMOS et du PMOS, et un décalage de leurs commandes).

Nous avons donc recherché une structure qui permette, d'une part, de fournir le courant nécessaire aux grilles des MOS de puissance et, d'autre part, qui assure une gestion simple des temps morts. La solution que nous avons adoptée est présentée figure II.13.

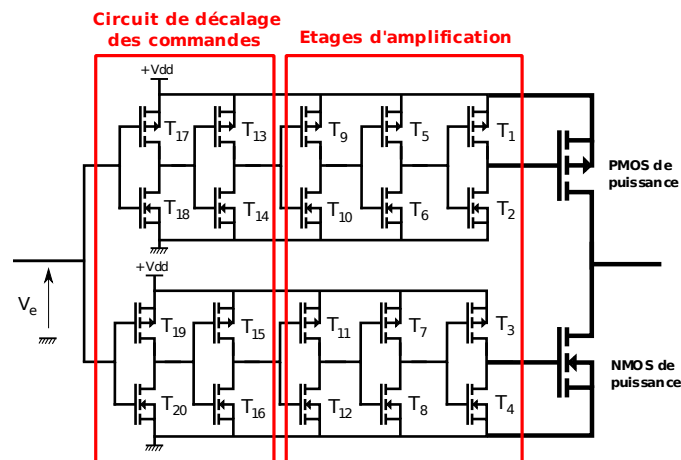


FIG. II.13 – Structure de la commande rapprochée

Elle est composée de trois étages d'amplification, précédés par un circuit dont l'unique but est de créer des temps de conduction des MOS de puissance bien distincts afin d'éliminer les court-circuits de bras. Ainsi, cette commande est susceptible de fournir le courant nécessaire et d'assurer les temps morts, sans que l'un de ces aspects n'agisse sur l'autre.

#### II.1.3.2.a Dimensionnement du 1er étage

Le bon dimensionnement de cet étage est primordial car un sous-dimensionnement entraînerait des pertes par commutation supplémentaires, car les MOS de cet étage ne permettraient pas de fournir le courant nécessaire pour une commutation rapide des MOS de puissance [Fra04]. A contrario, un sur-dimensionnement entraînerait d'une part une occupation inutile de surface de silicium et, d'autre part, des pertes par commutation supplémentaires, car il faudrait fournir d'avantages de charges pour assurer la commutation de ce premier étage. Enfin, pour cet étage, les MOS seront pilotés par le même signal et passeront donc en court-circuit. Il faut limiter l'importance de ce court-circuit par, entre autre, une réduction significative de la taille des composants. Nous verrons plus loin qu'un second élément viendra limiter les effets des phases de court-circuit de cet étage.

Les courbes figure II.14 montrent les pertes par commutation simulées ainsi que le rendement global du bras de commutation en fonction du courant maximal fourni par les MOS du premier étage.

Ces courbes montrent qu'au-delà d'un courant de 600 mA, les pertes par commutation se stabilisent, ce qui signifie qu'à partir de cette valeur, la vitesse de commutation des

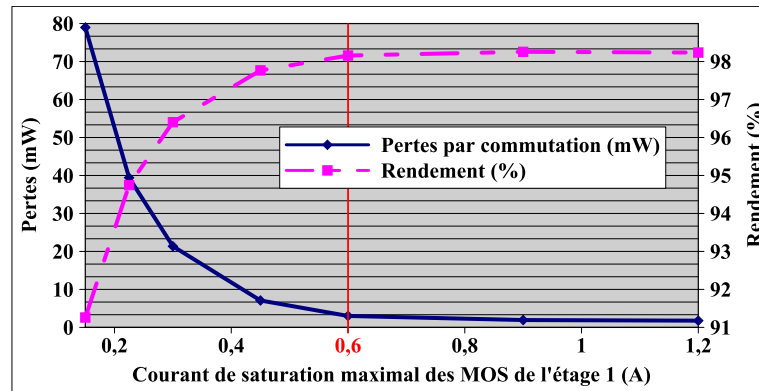


FIG. II.14 – Influence du dimensionnement du premier étage sur le rendement total de la cellule de commutation

MOS de puissance n'est plus limitée par les MOS du premier étage. Ainsi il n'est pas utile de grossir encore ces MOS puisque l'on atteint avec ce dimensionnement une vitesse de commutation quasi-maximale. En revanche, en dessous de cette valeur de 600 mA, les pertes par commutation augmentent rapidement, prouvant que les MOS de puissance ne sont pas commandés correctement. Les MOS de ce premier étage sont donc dimensionnés afin qu'ils puissent fournir 600 mA.

Pour cela, la documentation d'AMS indique les courants drain-source de saturation maximum, à savoir  $450\mu A$  par  $\mu m$  de largeur de grille pour un NMOS et  $180\mu A/\mu m$  pour un PMOS.

On devra donc choisir des largeurs de grille pour les PMOS et les NMOS telles que :

$$\begin{cases} W_1 = W_3 = \frac{0.6}{18 \cdot 10^{-5}} = 3333\mu m \\ W_2 = W_4 = \frac{0.6}{45 \cdot 10^{-5}} = 1333\mu m \end{cases}$$

Ces largeurs de grille sont encore suffisamment importantes pour ne pas négliger le court-circuit de bras qui peut apparaître dans ce premier étage (de l'ordre de 1A). Il sera donc nécessaire de se préoccuper de limiter ces courants de court-circuit à l'aide du deuxième étage.

### II.1.3.2.b Dimensionnement du 2ème étage

L'étage 2 permet de commander les MOS de l'étage 1 que l'on vient de dimensionner et qui peut donc présenter des courants de court-circuit importants si on n'y fait pas attention. La solution adoptée au niveau des MOS de puissance qui consiste à séparer les commandes du P et du N d'un même bras pourrait éventuellement être utilisée pour la commande de l'étage 1. Cependant, cela conduirait à une commande complexe puisqu'il faudrait gérer quatre commandes différentes. La solution adoptée dans notre dimensionnement consiste à agir sur l'origine du courant de court-circuit. En effet, ce courant indésirable est généré

au sein du transistor qui se ferme lors des commutations. L'idée ici n'est pas de créer un temps mort, mais bien de limiter la tension responsable de la sur-intensité de bras. La figure II.15 montre les tensions en entrée et en sortie de l'étage 1 qui permettent cela.

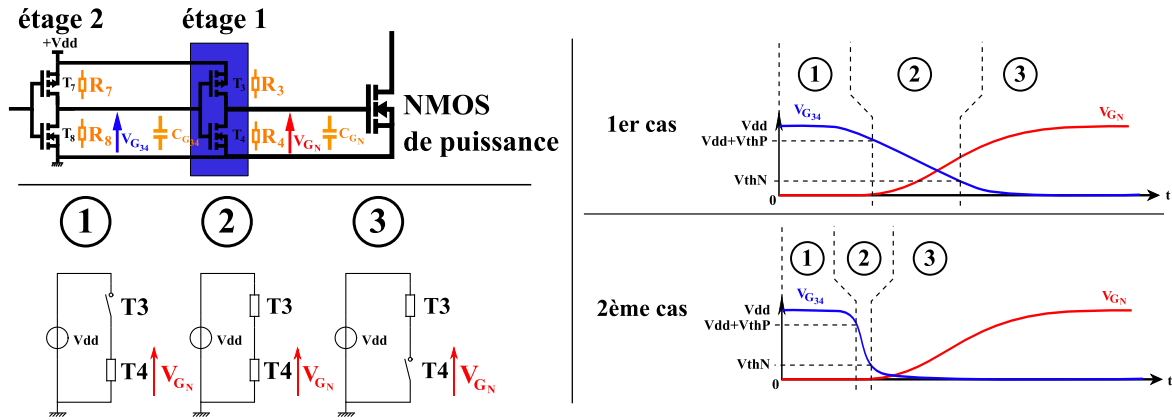


FIG. II.15 – Dynamique d'entrée et de sortie de l'étage 2

Le 1er cas montre une commutation classique où les dynamiques d'entrée et de sortie de l'étage 1 sont à peu près équivalentes. A la fin de la phase 2, où les deux MOS du bras de l'étage 1 sont passants simultanément, la tension de sortie de l'étage 1 ( $V_{G_N}$ ) a eu le temps d'atteindre une valeur relativement élevée, ce qui est à l'origine du court-circuit. Le 2ème cas montre une commutation où la dynamique d'entrée est beaucoup plus importante que celle de sortie, ce qui limite ainsi la tension à l'origine du court-circuit, car le MOS qui se bloque le fait avant que la tension de sortie n'ait eu le temps d'évoluer. En effet, le court-circuit de bras n'est pas uniquement lié à la tension d'alimentation et aux impédances des MOS complémentaires du bras. La tension de sortie du bras de l'étage 1 joue un rôle important puisqu'elle impose le potentiel aux bornes de l'interrupteur du bas. Si elle est faible à l'échelle de la commutation du bras, peu de courant pourra passer par le transistor du bas, ce qui limitera les effets négatifs du court-circuit.

Pour évaluer le rapport des vitesses d'évolution des tensions d'entrée et de sortie de l'étage 1, nous considérons un rapport "a" des constantes de temps d'entrée et de sortie. Ces constantes de temps sont définies par la résistance à l'état passant minimale des transistors, puisque ces dernières évoluent durant les commutations.

$$a = \frac{R_3 \cdot C_{gN}}{R_8 \cdot C_{g34}} \text{ pour la commutation concernée à la figure II.15}$$

Comme le montre la figure II.16, en fonction de la valeur du rapport "a", nous déterminons les pertes du circuit, de manière à choisir la valeur optimale vis à vis des pertes et de la taille des MOS de l'étage 2. Le sens d'évolution représenté par la flèche 1 montre une réduction des pertes, alors que celui représenté par la flèche 2 représente une diminution de la taille des MOS de l'étage 2. Il y a donc, comme pour l'étage 1, un

compromis pertes/taille que nous avons estimé à un rapport "a" aux environs de 6. Ce choix nous permet donc de dimensionner les MOS de l'étage 2.

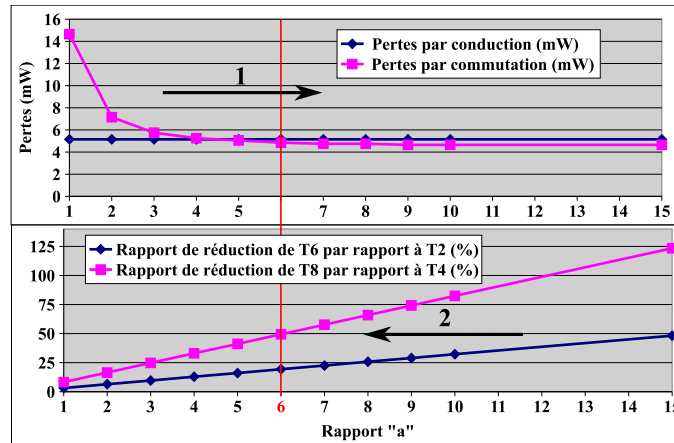


FIG. II.16 – Dimensionnement du deuxième étage

### II.1.3.2.c Dimensionnement du 3ème étage

Pour dimensionner ce 3ème étage, la méthode utilisée est plus classique que pour les étages précédents. En effet, les MOS sont maintenant suffisamment petits pour ne plus poser de problème de court-circuit. Le dimensionnement de cet étage consiste donc simplement à diviser la taille de ces MOS par rapport à ceux de l'étage 2 par un facteur "b". En fonction de la valeur de ce rapport, nous déterminons le rendement sur toute la plage de variation du courant de charge, comme le montre la figure II.17.

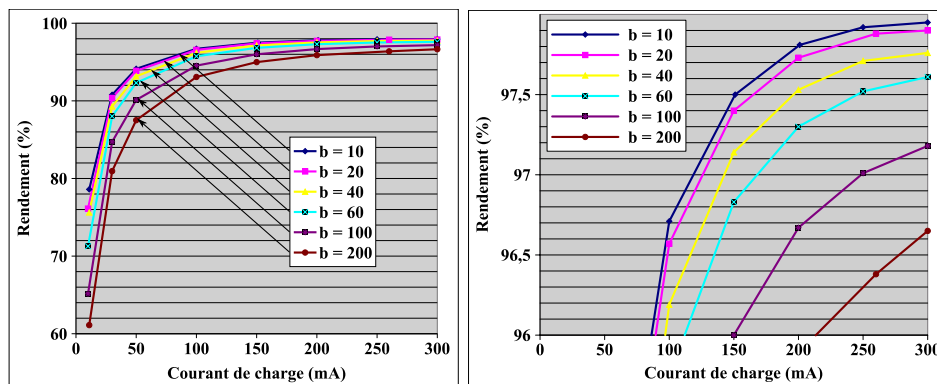


FIG. II.17 – Dimensionnement du troisième étage (Zoom du coude à droite)

Ces résultats de simulation nous montrent donc que des valeurs élevées du facteur "b" correspondent à une réduction importante de la taille des MOS, ce qui se traduit par une diminution notable du rendement, car les MOS deviennent trop petits pour commander correctement l'étage 2. Un rapport faible est synonyme de bons rendements, mais également d'une faible réduction de taille. Pour un rapport "b" égale à 20, on atteint

quasiment le rendement maximal, il est donc inutile de réduire ce rapport. C'est pour cette valeur que le compromis pertes/taille est obtenu pour cet étage. Le critère de taille reste important ici, car même si la surface de silicium occupée par l'étage 3 est devenu très petite (comparée à celle des transistors de puissance), il reste cependant à assurer une commutation rapide par les transistors du circuit de décalage.

#### II.1.3.2.d Dimensionnement du circuit de décalage

Pour limiter le courant de court-circuit du bras de puissance qui peut avoir lieu à chaque commutation, il faut donc que les périodes de conduction du NMOS et du PMOS de puissance soient bien distincts. Pour cela, nous avons opté pour un circuit analogique simple situé en amont de la commande rapprochée que nous venons de dimensionner. D'autres solutions auraient pu être élaborées, comme la gestion de ce temps mort par un circuit numérique intégré, ce qui aurait été naturel du fait de la présence d'une commande numérique (voir paragraphe II.1.4). Cependant, dans un souci de fiabilité, nous avons choisi de distinguer le circuit de gestion du temps mort de la commande numérique embarquée.

Le circuit que nous allons utiliser est représenté figure II.18. Le but de ce circuit est donc de générer deux tensions  $V_1$  et  $V_2$  à partir d'une tension de commande unique  $V_e$ . Ces tensions  $V_1$  et  $V_2$  commanderont respectivement les étages d'amplification du NMOS et du PMOS de puissance.

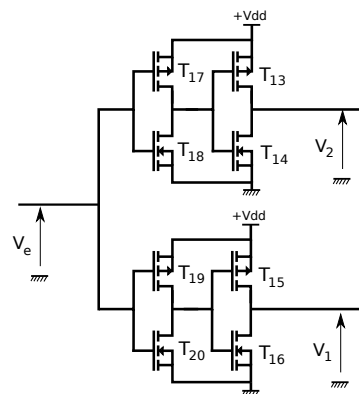


FIG. II.18 – Circuit de décalage permettant de créer le temps mort entre les ordres de commande des MOS N et P d'un bras de puissance

Le principe de ce circuit est de retarder la commutation du MOS de puissance qui se ferme par une charge lente de la capacité de grille de l'étage constitué de  $T_{13}$  et  $T_{14}$  pour le PMOS et de  $T_{15}$  et  $T_{16}$  pour le NMOS. Les résistances à l'état passant des MOS  $T_{18}$  et  $T_{19}$  sont ainsi beaucoup plus importantes que les autres transistors de ces étages. Par conséquent, lors d'une commutation négative de  $V_e$ , le bras de commutation  $T_{13}$ - $T_{14}$  se charge beaucoup plus rapidement que  $T_{15}$ - $T_{16}$ , permettant de retarder  $V_1$  par rapport à  $V_2$ . A l'inverse, lors d'une commutation positive de  $V_e$ , la capacité de grille de  $T_{15}$ - $T_{16}$  se



décharge beaucoup plus rapidement que celle de  $T_{13}$ - $T_{14}$ , ce qui permet de retarder cette fois-ci  $V_2$  par rapport à  $V_1$ .

Le dimensionnement du décalage est essentiel pour obtenir une commutation optimale. Il faut d'une part, comme nous l'avons déjà mentionné, bien séparer les temps de conduction des transistors N et P pour éviter ces courants de court-circuit. D'autre part, un temps mort trop important n'est pas souhaitable non plus. En effet, si ce dernier est trop grand, la diode intrinsèque des MOS se mettra en conduction pour laisser passer le courant. Dans la mesure où les caractéristiques électriques de la diode sont plus mauvaises que celles du transistor MOS (tension de seuil et résistance série plus importante), la circulation du courant à travers la diode génère plus de pertes qu'à travers le transistor. La figure II.19 montre qualitativement les deux cas que l'on cherche ainsi à éviter.

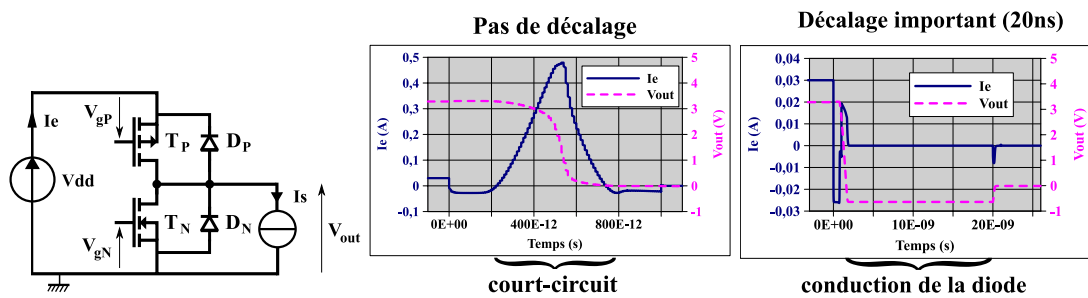


FIG. II.19 – Formes d'ondes pour un décalage nul et un décalage important ( $V_{dd} = 3.3V$ ,  $I_s = 30 \text{ mA}$ ,  $W_N = 3800 \text{ } \mu\text{m}$ ,  $W_P = 9800 \text{ } \mu\text{m}$ )

Pour déterminer le décalage optimal, notre circuit a été dimensionné par simulation en calculant le rendement global de la structure. À l'issue de ce dimensionnement, nous avons obtenu les formes d'ondes de la commutation présentée figure II.20. Cette commutation montre que la diode passe en conduction pendant une durée environ égale à  $1\text{ns}$ , et présente un courant de recouvrement assez important (environ  $1\text{A}$ ), ce qui génère donc moins de pertes que le courant de court-circuit qui apparaît sans décalage et qui s'élève jusqu'à  $4,5 \text{ A}$ .

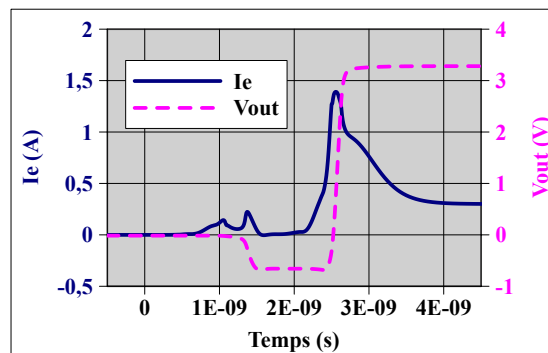


FIG. II.20 – Formes d'ondes pour le décalage optimal de notre circuit

Ce circuit de décalage permet ainsi d'optimiser les pertes à la commutation de façon "passive", puisque le décalage est fixé en dur dans la puce. Cette approche atteint vite des limites car la vitesse de commutation des transistors dépend du point de fonctionnement. Il n'est donc pas possible de se placer au décalage optimal pour une plage importante de points de fonctionnement. Pour remédier à ce problème, une évolution envisagée de ce circuit serait un circuit de "monitoring" avec une intelligence embarquée qui observe la tension aux bornes des MOS et le courant absorbé et permettrait de commuter les transistors au moment idéal. De cette façon, le décalage ne serait pas figé, et pourrait s'adapter au point de fonctionnement de la structure.

### II.1.3.2.e Synthèse du dimensionnement

Nous avons maintenant dimensionné l'ensemble de notre commande rapprochée, étage par étage, pour se rapprocher du rendement optimal de notre cellule de commutation de puissance. Nous pouvons ainsi en extraire la synthèse présentée figure II.21.

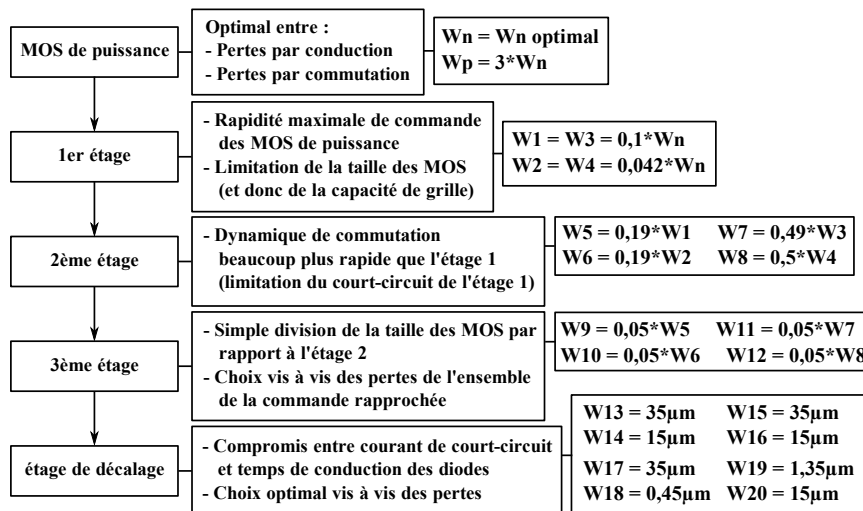


FIG. II.21 – Synthèse concernant le dimensionnement de la commande rapprochée

Ainsi, nous avons dimensionné les MOS de la commande rapprochée pour une taille donnée des MOS de puissance (eux-mêmes déterminés par le cahier des charges). Ce dimensionnement peut s'étendre à n'importe quel cahier des charges, car pour commander correctement les MOS de puissance, si on divise par exemple leurs tailles par un facteur 2, on divise également les tailles des MOS de la commande rapprochée par ce même facteur 2. On peut donc exprimer la taille des MOS de la commande rapprochée en fonction des MOS de puissance, comme le montre la synthèse du dimensionnement du circuit de puissance muni de sa commande rapprochée, figure II.21.

À partir de ce dimensionnement qui a été réalisé pour la puissance nominale, il est intéressant de vérifier le niveau de rendement pour différentes tensions d'alimentation et de courants de charge (figure II.22). En effet, l'application des réseaux de micro-convertisseurs

implique des tensions ainsi que des courants de sortie variables.

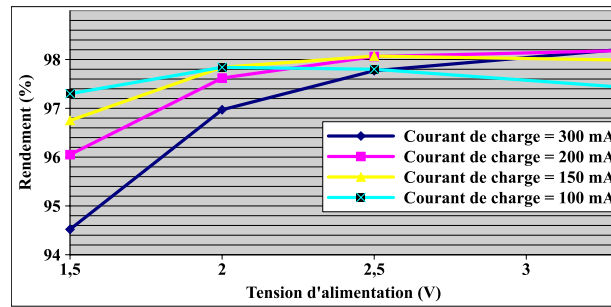


FIG. II.22 – Rendements de la cellule de commutation munie de sa commande rapprochée (simulations)

On peut donc noter que le rendement reste très satisfaisant (supérieur à 97%) pour une large plage de tension et de courant.

Il peut également être intéressant de vérifier si cette méthode de dimensionnement offre effectivement le meilleur rendement vis-à-vis du cahier des charges, et notamment du courant de sortie. Nous avons donc repris cette démarche en modifiant la valeur du courant nominal et nous avons extrait les résultats présentés figure II.23 à partir de calculs analytiques de l'ensemble de la cellule de commutation (circuit de puissance + commande rapprochée). Ces calculs se basent sur la synthèse de la figure II.21, et en partant de l'hypothèse que les pertes par commutations sont proportionnelles à la taille des transistors MOS (et donc au courant de charge puisque la largeur de canal optimale est proportionnelle à celui-ci, voir page 16). Cette hypothèse se justifie du simple fait que les pertes par commutation sont de la forme  $C.V^2$ , et que les capacités parasites sont proportionnelles à la taille des transistors.

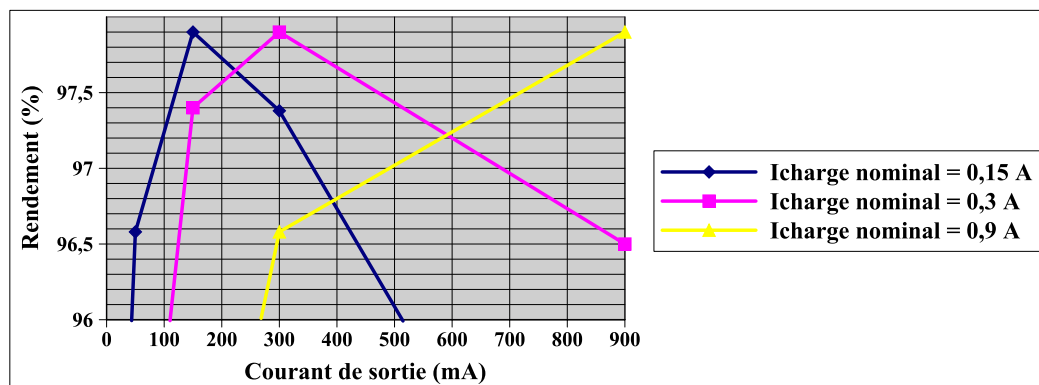


FIG. II.23 – Rendements des différents dimensionnements en fonction du courant de charge (calculs analytiques)

Ces courbes nous montrent bien que l'utilisation d'un dimensionnement à un courant

de sortie différent de celui pour lequel il a été prévu ne permet pas d'atteindre le meilleur rendement. D'autre part, quel que soit le courant de sortie nominal, le niveau de rendement atteignable reste identique, comme nous l'avons déjà évoqué dans le chapitre 1.

Toutes ces études ont été réalisées en ne considérant aucune inductance parasite dans la maille de commutation de puissance ainsi que dans la maille de commande. Compte tenu de la fréquence de commutation et du courant les traversant, leurs effets peuvent être assez importants.

Ces inductances parasites peuvent poser problème lors des commutations, où une forte variation de courant les traverse, créant des chutes de tension importantes, et également des surtensions pouvant être dangereuses pour le composant.

L'estimation des valeurs de ces inductances est cependant très difficile à faire a priori, puisqu'elles dépendent beaucoup de l'environnement de la puce. Cependant, la contribution des amenées de courant au sein de la puce peuvent être évaluée, dans la mesure où le logiciel de conception Cadence permet d'extraire les éléments parasites liés au layout. Ainsi, nous trouvons une valeur d'inductance des amenées de courant environ égal à 500 pH. Pour se rendre compte de l'influence de ces inductances présents dans la maille de commutation (autres que celles introduits par les amenées de courant au sein de la puce), nous allons nous fixer une valeur "raisonnable" d'inductance que l'on prendra donc égal à 2 nH. Les résultats de la figure II.24 ont donc été obtenus par simulation avec une inductance de maille totale de 2,5 nH.

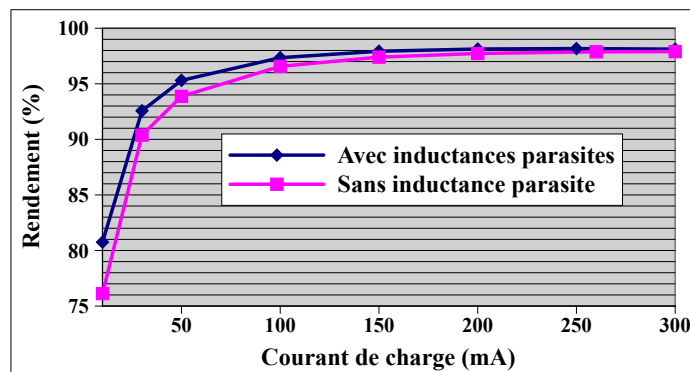


FIG. II.24 – Influence de l'inductance de maille sur le rendement de la cellule de commutation

Ces résultats montrent que la présence d'inductances dans la maille de commutation améliorent les niveaux de rendements, ce qui est en contradiction avec le fait qu'ils limitent les vitesses de variation du courant et génèrent des chutes de tension à chaque commutation, impliquant une hausse des pertes. Ces résultats peuvent cependant s'expliquer puisque l'inductance de maille rend la commutation sensiblement plus douce, ce qui réduit ainsi les courants de court-circuit ainsi que les variations de courant trop brutales lors des commutations, créant de ce fait moins de pertes. Cependant, si l'inductance de maille est

trop importante, elle ralentirai beaucoup trop la commutation, ce qui créera plus de pertes.

Ces deux fait établis, il est vraisemblable qu'il existe une valeur d'inductance "optimale" qui permet d'améliorer les commutations. À noter que la courbe suivante a été tracée pour un courant de charge très faible (10 mA) car c'est pour ce point de fonctionnement que l'effet des inductances de maille est le plus important.

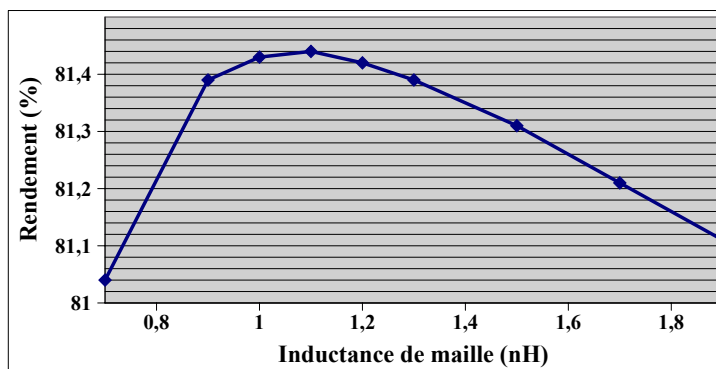


FIG. II.25 – Recherche de l'inductance "optimale"

Cette étude sur l'effet des inductances de maille n'a pour but que de montrer leurs impacts sur les résultats que l'on peut attendre vis-à-vis des performances de la cellule de commutation. La recherche de la valeur "optimale" est là pour montrer qu'une très faible valeur d'inductance est souhaitable, mais qu'une valeur trop importante fait diminuer le rendement. Il est en effet très difficile, voire utopique, de vouloir contrôler l'inductance de maille pour se placer à la valeur optimale. Par contre, il faudra limiter au maximum les inductances parasites en pratique car l'environnement de la puce risque d'apporter des valeurs d'inductance beaucoup plus importantes que celles-ci, ce qui pourrai avoir un impact important sur les niveaux de rendements.

La simulation de l'ensemble de notre cellule de commutation muni de sa commande rapprochée ainsi dimensionnée nous donne les pertes présentées dans le tableau de la figure II.26.

$P_{cond}$	$P_{com\ MOS\ de\ puissance}$	$P_{com\ commande\ rapprochée}$
5,2mW	4,7mW	0,66mW

FIG. II.26 – Mesures par simulation des pertes liées à notre cellule de commutation munie de sa commande rapprochée

Les pertes par conduction correspondent bien au niveau attendu, cependant, les pertes par commutations sont plus importantes que prévu. En effet, notre modèle ne prend pas en compte les pertes liées à la conduction des diodes, et notamment aux courants de recouvrement des diodes, ce qui augmente les pertes réelles de manière importantes. Par

ailleurs, la consommation de la commande rapprochée est plus faible que l'estimation faite a priori. Au final, les pertes par conduction et par commutation se retrouvent à peu près équilibrées, signe d'un dimensionnement mené avec justesse.

Ainsi, le dimensionnement du circuit de puissance et de sa commande rapprochée présente un niveau de pertes minimal en équilibrant les pertes par conduction et par commutation. Cependant, tout ces résultats ne concernent que la cellule de commutation munie de sa commande rapprochée. La consommation de la partie commande que nous allons voir maintenant n'est donc pas prise en compte jusqu'à présent.

## II.1.4 Partie commande

Dans le précédent paragraphe, nous avons traité la conception du circuit de puissance et de la commande rapprochée pour assurer un pilotage optimal. Nous allons maintenant nous intéresser à la commande semi-éloignée indispensable au projet des réseaux de micro-convertisseurs.

### II.1.4.1 Commande semi-éloignée pour RuC

Le but de ce paragraphe est d'évoquer les principes de bases liés aux réseaux de micro-convertisseurs, sans toutefois rentrer dans les détails. En effet, les problématiques inhérents à l'utilisation des micro-convertisseurs au sein d'un réseau constituent le coeur de la thèse de Dang Thai Ha [Tha09a], tandis que les travaux présentés dans ce mémoire se limitent à la réalisation de la cellule élémentaire de ce réseau.

On peut tout d'abord se poser la question de la nécessité d'intégrer la commande semi-éloignée sur la même puce que la partie puissance. La raison s'explique par les points suivants :

Pour constituer notre convertisseur global (basé sur l'association d'un grand nombre de cellules élémentaires), nous avons à notre disposition une multitude de cellules élémentaires qui peuvent donc être commandées indépendamment les unes des autres. Il serait alors dommage de ne pas exploiter cette opportunité pour créer des commandes entrelacées, ce qui permettra, d'une part, de réduire les besoins de stockage d'énergie, et donc la taille des composants passifs, et d'autre part la répartition des instants de commutation sera très bénéfique vis à vis de la CEM [GAG03] puisque les fronts de commutations seront étalés dans le temps et également de plus faibles importances [ZGCU04].

Le principe de l'entrelacement est présenté brièvement figure II.27, avec 3 hacheurs série entrelacés. Les ordres de commandes de chaque hacheur ont une fréquence et un rapport cyclique identiques, et sont décalés d'un tiers de période les uns par rapport aux autres. Cette commande permet d'augmenter la fréquence apparente en sortie, et donc de réduire les ondulations de courant. Cela conduit ainsi à un meilleur compromis entre réponse dynamique et besoins de filtrage. De plus, les contraintes en courant sont réparties

sur les trois hacheurs [Cos07] [SMC<sup>+</sup>06].

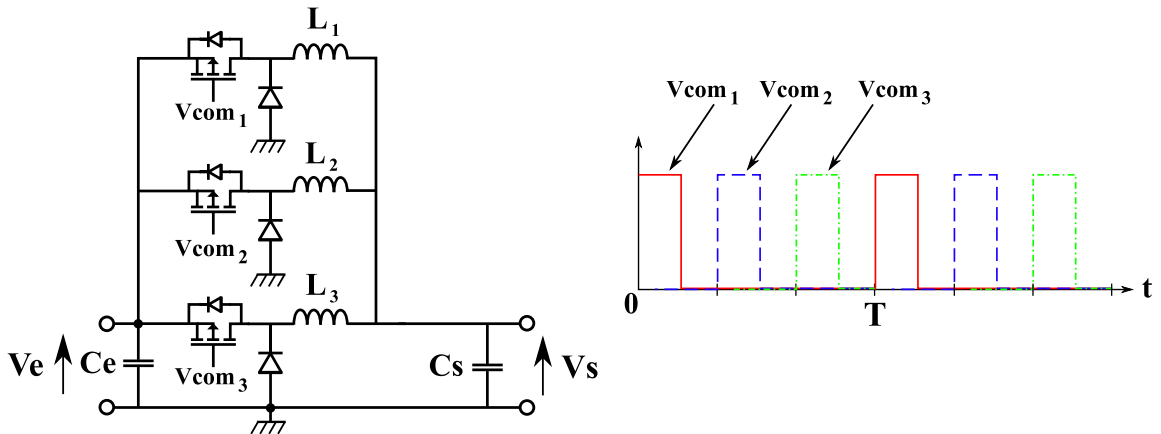


FIG. II.27 – Principe de l’entrelacement : exemple de 3 hacheurs séries entrelacés

Il faut donc une commande différente pour chacun des micro-convertisseurs, ce qui signifie qu’il faut pouvoir générer autant de signaux de commande que de convertisseurs. Pour une commande entrelacée classique, cela implique donc l’utilisation d’une commande centrale qui possède autant de sorties que de cellules à commander, du moins jusqu’à un nombre optimal de cellules puisque l’entrelacement peut ne plus présenter d’intérêt au-delà d’un certain nombre de cellules [FLG<sup>+</sup>09]. Dans ce cas là, si l’on souhaite commander un nombre plus important de cellules pour augmenter la puissance transmissible de l’ensemble, il est alors possible de commander plusieurs convertisseurs avec un même signal, mais il est alors nécessaire d’avoir un nombre de convertisseurs qui soit un multiple de ce nombre optimal. Il faut également que cette commande centrale soit conçue pour un nombre figé de micro-convertisseurs. Ces deux caractéristiques ne sont pas satisfaisantes car la commande serait beaucoup trop complexe pour des réseaux de tailles importantes (plusieurs centaines de cellules), et la commande centrale ne serait pas adaptable à n’importe quel réseau. Par ailleurs, il faudrait un grand nombre de supports différents pour transférer les ordres de commande tous différents (connectique et média importants en nombre).

Pour assurer une mise en oeuvre simple, il est donc nécessaire d’intégrer sur chaque micro-convertisseur une commande semi-éloignée qui évite ainsi une commande individuelle de chaque cellule à gérer à l’aide d’une commande centrale. Il faut maintenant réussir à générer des commandes entrelacées à partir d’un signal de commande central identique pour chaque cellules, et cela quelque soit le nombre total de micro-convertisseurs utilisés dans le réseau.

La commande intégrée sur chaque cellule permet donc de limiter la complexité de la mise en réseau puisqu’il n’y a qu’un signal de commande unique à acheminer à l’ensemble des micro-convertisseurs. Ce signal permet ainsi de faire fonctionner les micro-convertisseurs à la fréquence voulue, puis son rapport cyclique permet d’agir sur les tensions de sortie via un système de régulation central.

L'ensemble du réseau est ainsi piloté par un signal de commande unique pour toutes les cellules (voir figure I.4, page 11, représentant un réseau à entrées séries et sorties parallèles et commandé par un seul signal  $V_c$ ), dont le rapport cyclique détermine la tension de sortie désirée. À partir de ce signal, il faut donc réaliser un entrelacement entre chacune des cellules quelque soit leur nombre. Il n'est donc pas possible de décaler la commande d'une cellule de manière figée. De plus, dans ce cas là, chaque cellule devrait être configurée différemment, ce qui peut devenir très complexe dans le cas d'un réseau comportant par exemple plusieurs centaines de cellules. Des systèmes chainés ont été envisagés par le passé et pourraient être utilisés [FML<sup>+</sup>06]. À ce jour, cette approche n'est pas retenue et nous avons fait le choix de limiter les interconnexions entre cellules afin de limiter les problèmes liés à la défaillance de l'une d'elles, ce qui entrainerait l'ouverture de la chaîne.

Pour assurer cet aspect générique recherché, et cela sans risquer qu'une défaillance physique ne perturbe le bon fonctionnement de l'ensemble, nous proposons ainsi de décaler de manière aléatoire la commande de chaque micro-convertisseur. Ainsi, la conception et la configuration de chaque cellule ne sont plus liées à la taille du réseau [TDC<sup>+</sup>09].

La figure II.28 montre un chronogramme de l'évolution des signaux de commande de chaque micro-convertisseur de l'exemple précédent.

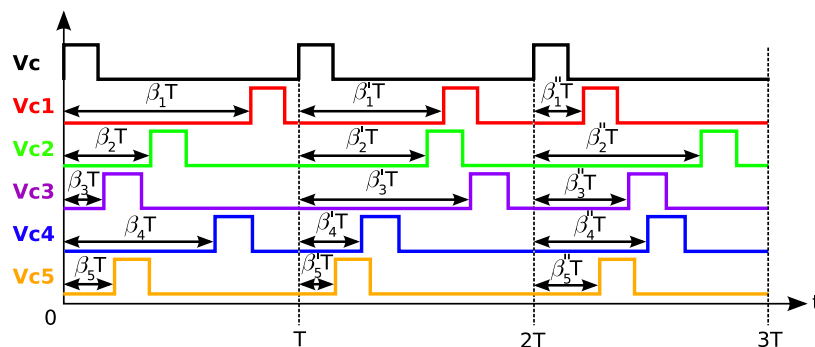


FIG. II.28 – Commandes aléatoires

À partir de chaque front montant du signal de commande général  $V_c$ , les commandes sont ainsi décalées aléatoirement pour chaque cellule. Plus le nombre de cellules élémentaires est grand, plus l'entrelacement sera performant, du fait de la multiplication des instants de commutation durant une période [Gan07].

Nous devons donc élaborer un circuit qui permette de générer une série de nombre dans le désordre et dont l'excursion est relativement grande afin de créer un nombre important de décalages différents. Pour cela, nous utilisons un registre à décalage à 7 bits, pouvant donc créer 127 décalages différents. La conception de ce registre à décalage est essentielle pour garantir, d'une part, la génération de tous les nombres compris entre 0 et 127 et, d'autre part, pour assurer une génération aléatoire de ces nombres. La figure II.29



représente la structure du registre à décalage choisi [Gan07], où le circuit d'initialisation (chargement d'un nombre parallèle) n'est pas présentée pour des raisons de clarté du schéma.

Avec cette structure, une exploitation des résultats de simulations numériques montre que chaque nombre compris entre 0 et 127 apparaît chacun une seule fois avant de recommencer un cycle, comme nous le souhaitons. Si ce critère n'est pas respecté, cela pourrait perturber l'entrelacement de nos micro-convertisseurs puisque des valeurs de décalages apparaîtraient plus souvent [Gan07]. Nous exploitons ainsi au mieux les possibilités offertes par ce circuit 7 bits.

Ce circuit numérique, de par sa nature, n'est donc pas réellement aléatoire. La séquence des nombres générés est bien déterminée et répond à la logique programmée. Cependant, l'importante excursion des nombres tirés (de 0 à 127), ainsi que la succession des nombres qui ne répond pas à une progression mathématique, est suffisant pour notre application.

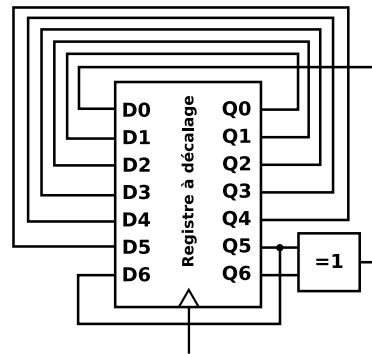


FIG. II.29 – Registre à décalage générant les nombres aléatoires, appelé LFSR (Linear Feedback Shift Register)

Maintenant que nous avons un dispositif qui génère ces nombres aléatoires, il nous faut élaborer les signaux de commande des bras de commutation à partir de ces nombres aléatoires.

Pour assurer une fréquence de commutation du circuit de puissance stable, il est nécessaire que, pour chaque période, l'état haut de la commande décalée reste strictement incluse dans la période considérée de la commande non-décalée, comme le montre la figure II.30. Sur cet exemple, l'état haut des signaux de commande des périodes 1, 2 et 4 est à cheval sur la période suivante. Cela ne pose pas de problème pour les deux premiers cas, puisque le décalage de la période suivante est suffisamment important, mais le problème se pose pour la période 5 où l'état haut de la commande décalée de la période 4 chevauche celui de la période 5, dont le décalage est faible. Ainsi, ces chevauchements auraient pour conséquence de dissymétriser la tension appliquée au transformateur, ce qui impliquerait l'apparition d'une composante continue, d'où la nécessité de sur-dimensionner le transformateur [Gan07], ce qui n'est pas envisageable.

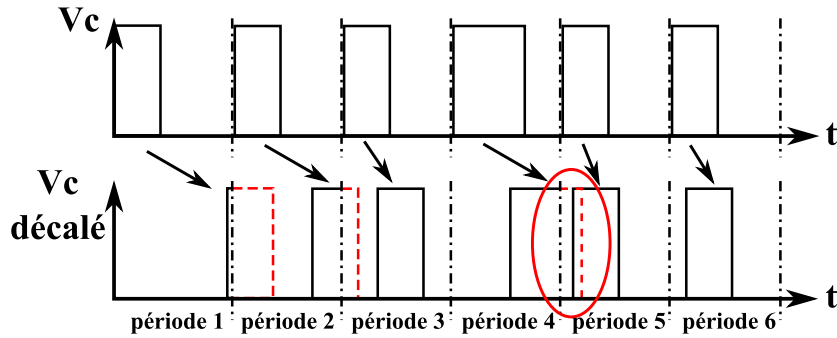


FIG. II.30 – Problèmes de décalages

Il faut donc prendre en compte le rapport cyclique, ou plus précisément le temps à l'état haut du signal de commande pour déterminer le décalage autorisé pour chaque période. En effet, plus le rapport cyclique est important, plus le décalage autorisé sera faible pour ne pas empiéter sur la période suivante. Ceci nous permet, d'ores et déjà, de mentionner un inconvénient important de cette commande : les possibilités de décalage dépendent du rapport cyclique de la commande. Pour de faibles rapports cycliques, la commande décalée peut se trouver à peu près n'importe quand au sein de la période (le nombre de décalages possibles est important), au contraire d'un signal à rapport cyclique important qui se retrouve ainsi « coincé » dans la période considérée (le nombre de décalages possibles est faible) (voir figure II.31).

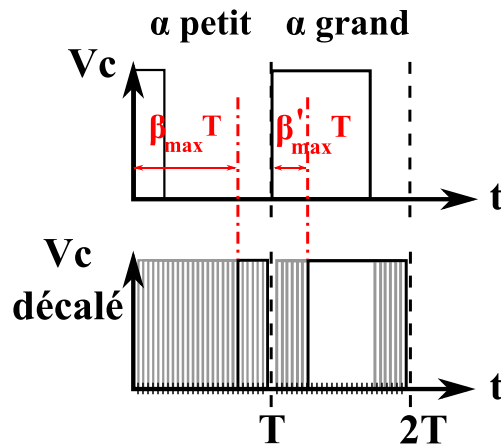


FIG. II.31 – Décalages possibles en fonction du rapport cyclique

Donc, à chaque front montant du signal de commande général, un compteur démarre pour mesurer le temps à l'état haut. Au même instant, le générateur de nombres aléatoires démarre. Dans la mesure où il n'est pas possible de connaître le rapport cyclique du signal de la période considérée au plus tard avant la fin de celle-ci, et par conséquent les décalages autorisés du signal de commande toujours dans cette même période, il est nécessaire de travailler avec une période de retard.

Ainsi, à la période suivante, connaissant la durée à l'état haut du signal, il est possible de déterminer les décalages autorisés. Pour cela, au début de la période, le générateur de nombres aléatoires démarre et à chaque coup d'horloge, on compare la somme de la durée du décalage et du temps à l'état haut de la commande par rapport à la période totale. Si cette somme est supérieure à la valeur de la période, cela impliquerait un débordement du signal sur la période suivante, et le décalage ainsi « tiré » est rejeté. Par conséquent, le générateur de nombres aléatoires continuera de tourner tant qu'un décalage autorisé n'a pas été « tiré ». Cet algorithme est répété à chaque période pour déterminer les décalages valides. Il y a donc toujours un tirage valide à chaque période, et des tirages rejetés dont le nombre moyen dépend du rapport cyclique : plus il est grand, plus la probabilité d'obtenir un nombre important de tirages rejetés est grande.

De par sa nature, ce générateur de nombre aléatoire n'en est pas un au sens strict du terme, puisqu'il s'agit ici d'un système numérique et déterministe, il est cependant facile à mettre en oeuvre pour notre application, ce qui a guidé notre choix. De plus, lors de la mise en réseau des micro-convertisseurs, il est très peu probable que toutes les cellules fonctionnent avec leurs générateurs de nombres pseudo-aléatoires de manière synchrone. En effet, d'une part, lors de l'initialisation, de faibles écarts dus aux variations des phases de réalisation du circuit intégré suffisent, a priori, pour étaler les instants d'initialisations de chacune des cellules. D'autre part, un "power on reset" avec des temporisations différents ont été prévus le cas échéant.

Cependant, notre commande aléatoire reste synchronisée sur le signal de commande commun à toutes les cellules, ce qui interdit le glissement d'une cellule à l'autre, et ainsi permet d'éviter les pulsations basses fréquences dues à des fonctionnements à des fréquences différentes.

#### II.1.4.2 Oscillateur

Pour cadencer cette commande semi-éloignée, il faut lui fournir un signal d'horloge, dont la fréquence doit être égale à 120MHz [Gan07]. Ce signal d'horloge pourrait provenir d'une commande éloignée externe au micro-convertisseur, mais dans ce cas là, nous aurions un signal supplémentaire à acheminer à chaque micro-convertisseur, ce qui compliquerait la connectique à mettre en oeuvre. Nous allons donc étudier les topologies d'oscillateurs susceptibles d'être intégrés à côté de notre circuit de commande.

##### II.1.4.2.a Topologies d'oscillateurs

Plusieurs topologies d'oscillateurs existent pour créer le signal d'horloge, nous allons donc présenter brièvement quatre structures courantes envisageables avant de se concentrer sur celle choisie [Sim08] :

- Oscillateur à quartz

- Oscillateur LC
- Oscillateur en anneau
- Oscillateur commandé en tension

L'oscillateur à quartz est une structure très couramment utilisée pour cadencer des circuits tels que les micro-processeurs d'ordinateurs. Le principe de cet oscillateur consiste à utiliser les propriétés piezo-électrique du quartz afin de récupérer une fréquence d'oscillation qui dépend de la géométrie de la lame de quartz. Cela en fait un oscillateur dont la fréquence est très précise et stable dans le temps. Cependant, il est nécessaire de reporter le boîtier contenant la quartz sur la puce, ce qui n'est pas envisageable dans notre cas.

L'oscillateur LC est, quant à lui, constitué d'une inductance et d'un condensateur, la fréquence d'oscillation étant déterminée par la résonance de ce circuit. Une résistance négative constituée d'une paire différentielle et d'une source de courant permet de compenser la résistance parallèle de l'ensemble, ceci afin d'entretenir les oscillations. La stabilité de la fréquence des oscillations est donc déterminée par la stabilité de la valeur de l'inductance et du condensateur. L'intégration d'une bobine et d'un condensateur est tout à fait possible mais fort complexe, ce qui nous pousse à écarter cette solution. De plus, la consommation de ce circuit est trop importante par rapport à nos exigences (de l'ordre de 30mW) [Sim08], et la surface nécessaire pour cette solution est également non négligeable. En effet, les valeurs d'inductance et de condensateurs nécessaires pour notre circuit d'horloge sont respectivement de l'ordre de 10 nH et 10 pF (afin de réduire la valeur du condensateur pour qu'il soit intégrable, il a fallu augmenter la fréquence d'oscillation, qui pourra donc être divisée par 8 à l'aide de bascules D [Sim08]). Une telle valeur de capacité nécessite tout de même une surface importante de silicium, au minimum  $0,008 \text{ mm}^2$  (capacité MIM). La technologie AMS propose une librairie où l'on peut trouver des spirales dont la plus adéquate pour notre besoin offre une inductance de 9,75 nH et un facteur de qualité de 5,91 pour une surface occupée de  $0,068 \text{ mm}^2$ . Ces caractéristiques ne sont donc pas satisfaisantes.

L'oscillateur en anneau est une structure relativement simple puisqu'elle est constituée d'un nombre impair de portes inverseuses rebouclées sur elles-mêmes. La fréquence des oscillations est déterminée par le temps de propagation du signal à travers l'ensemble des portes. Tous les éléments nécessaires à cette structure sont facilement intégrables dans la technologie active choisie.

L'oscillateur commandé en tension (Voltage Controlled Oscillator), repose sur le même principe que l'oscillateur en anneau, à la différence que les étages inverseurs sont alimentés par des miroirs de courants, ce qui permet de contrôler le temps de propagation du signal, et donc la fréquence d'oscillation. Cette structure permet une bonne stabilité en fréquence vis-à-vis de la tension d'alimentation et de la température, pour une consommation à peu près identique à celle de l'oscillateur en anneau.

Le tableau de la figure II.32 récapitule les avantages et les inconvénients des structures d'oscillateurs présentés ci-dessus.

	Oscillateur en anneau	VCO	Oscillateur L-C
Avantages	Consommation faible Simplicité	Consommation faible Faibles variations de fréquence	Bonne stabilité en fréquence
Inconvénients	Variations modérées de fréquence		Consommation élevée Surface importante

FIG. II.32 – Avantages et inconvénients des différentes topologies d’oscillateurs [Sim08]

Pour sa simplicité, son intégrabilité et ses bonnes performances de consommation et de stabilité en fréquence, nous avons choisi la structure de l’oscillateur en anneau.

#### II.1.4.2.b Oscillateur en anneau

L’oscillateur embarqué qui va permettre de cadencer notre commande semi-éloignée a donc la structure présentée figure II.33. Il est composé de trois étages inverseurs, munis entre chaque étage d’un circuit RC afin de créer des retards dans la propagation du signal dans le but de réduire la fréquence d’oscillation (nous reviendrons plus précisément sur le rôle exact de ces résistances page 60), puis d’une bascule D qui permet encore de diviser la fréquence par un facteur 2 et en sortie un étage d’amplification.

Le choix du nombre d’étages, de l’implantation des circuits RC entre chaque étages et de l’utilisation d’une bascule D pour diviser la fréquence par deux est le résultat d’un compromis entre les faits cités ci-dessous :

- Un nombre important d’étage permet de réduire la fréquence du signal généré par l’oscillateur en anneau, mais augmente la consommation du circuit.
- Les circuits RC permettent de créer des retard pour réduire la fréquence d’oscillation (mais, comme nous le verrons plus tard, des valeurs importantes de résistances introduisent des capacités importantes, donc sources de pertes).
- L’utilisation de la bascule D pour diviser la fréquence par deux permet de consommer moins d’énergie que dans le cas où l’oscillateur serait dimensionné pour générer un signal directement à la fréquence voulue (résultats de simulation).

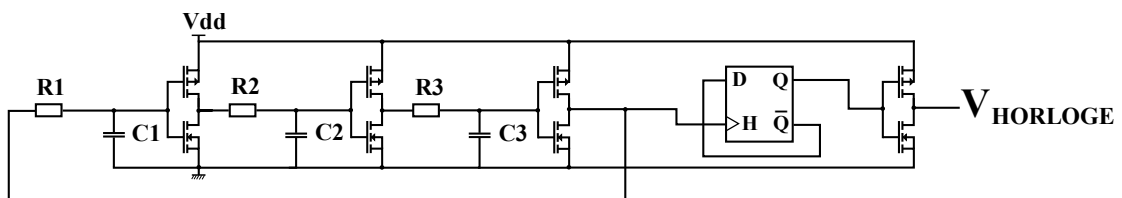


FIG. II.33 – Schéma de principe de l’oscillateur en anneau

En pratique, les résistances sont réalisées en polysilicium résistif, sous la forme de

pistes de type ruban relativement proches du substrat. Par conséquent, ces résistances créent des capacités parasites non-négligeables, ce qui permet de ne pas rajouter des capacités supplémentaires et ainsi de profiter de ces capacités parasites réparties le long des résistances. La structure à intégrer est donc plus simple mais cela rend le réglage de la fréquence d'oscillation plus difficile puisqu'une variation de la résistance (en conservant la largeur du ruban et en modifiant sa longueur totale) entraîne une variation de la capacité associée.

Il est donc plus juste de considérer le schéma de la figure II.34, où ces capacités réparties apparaissent. À noter, également sur ce schéma, la présence d'une porte trois états qui permet d'assurer le démarrage de la structure. En effet, l'oscillateur en anneau a besoin d'un état déterminé et stable pour assurer son démarrage. Cette porte permet donc de forcer le potentiel du point A à la masse lors du démarrage du micro-convertisseur en validant l'entrée "E" (enable), puis de déconnecter ce point pour laisser la structure osciller librement. La résistance R1 possède donc un double rôle : d'une part elle permet de ralentir la propagation du signal tout comme les résistances R2 et R3 et, d'autre part, elle permet de ne pas court-circuiter l'alimentation au démarrage puisque le point A peut être forcé à la masse alors que le point D se trouve au potentiel Vdd (figure II.34).

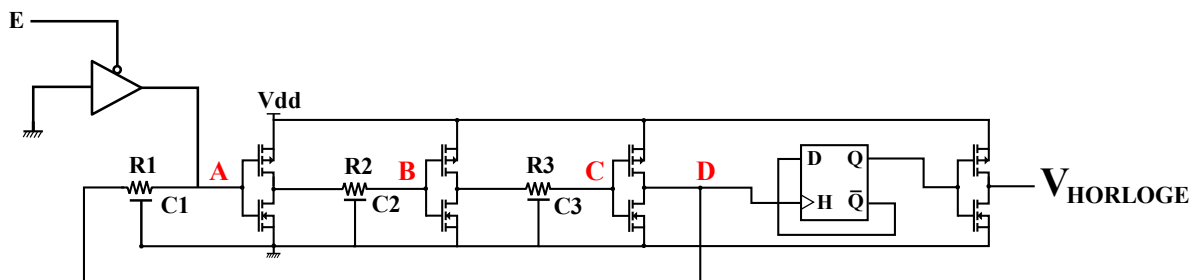
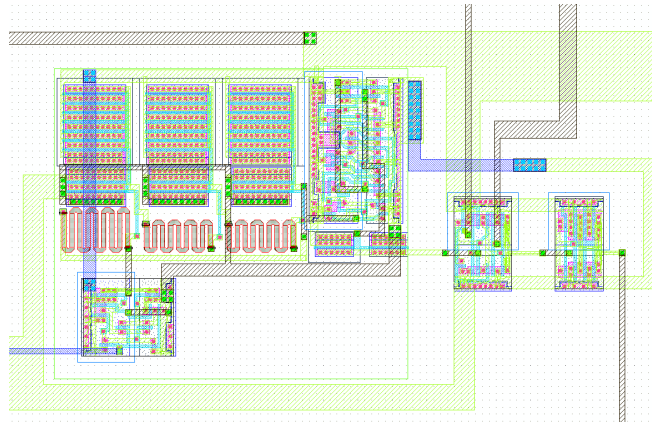


FIG. II.34 – Schéma de l'oscillateur en anneau adapté à son environnement

La figure II.35 présente le layout correspondant à cet oscillateur en anneau. Il est à noter que la résistance R1 présente une valeur plus importante que R2 et R3 dans le but de réduire la consommation de l'oscillateur lorsqu'il est inhibé par la porte 3 états dont la sortie est connectée au point A du schéma de la figure II.34 (puisque dans ce cas là cette résistance voit la tension d'alimentation en permanence).

#### II.1.4.2.c Caractéristiques de l'oscillateur

Le but de cet oscillateur est donc de générer un signal d'horloge pour cadencer la commande semi-éloignée avec une fréquence relativement stable. Cette stabilité souhaitée est liée aux caractéristiques de la commande élaborée en VHDL. Une fréquence trop importante ne permet pas de cadencer correctement la commande interne, à cause du chemin critique d'horloge (le chemin critique est le chemin de propagation du signal qui limite la fréquence maximale de fonctionnement [Sch01] [Lan95]) qui limite, dans notre cas, la fréquence de l'horloge à 163 MHz (valeur générée au moment de la synthèse du circuit).

FIG. II.35 – Layout de l'oscillateur en anneau intégré (0,0017  $mm^2$ )

Une valeur de fréquence trop faible réduit l'échantillonnage du signal de commande, ce qui réduit la précision de la commande appliquée au circuit de puissance.

Le problème majeur est que la fréquence dépend du temps de propagation du signal entre chaque portes, qui dépend lui-même de la résistance à l'état passant des transistors. Or, ces résistances à l'état passant dépendent de la tension d'alimentation, puisque le niveau de saturation des transistors MOS dépend de la tension de grille qui leur est appliquée et donc de la tension d'alimentation. Par ailleurs, la résistance à l'état passant des MOS dépend, dans une moindre mesure, de la température [TC]. Pour stabiliser le temps de propagation du signal (et donc la fréquence) par rapport aux variations de tension (et de température), il faut donc introduire des résistances dont la valeur reste stable et qui soient prépondérantes par rapport aux résistances à l'état passant des transistors. On obtient ainsi une fréquence relativement stable en fonction de la tension d'alimentation et de la température, comme le montre la figure II.36.

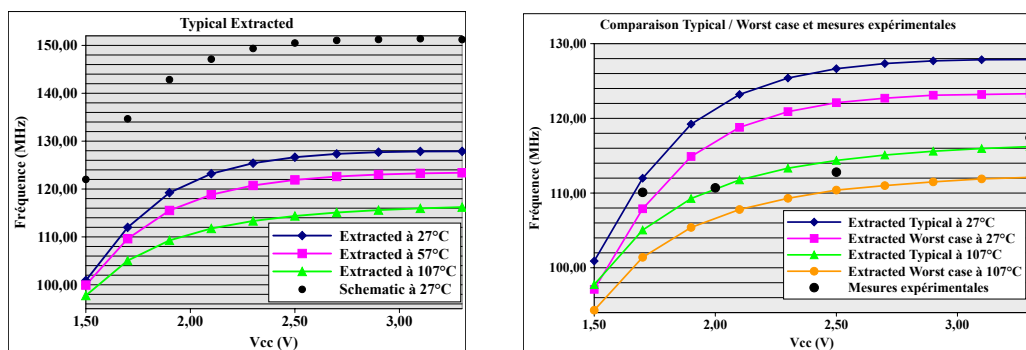


FIG. II.36 – Fréquences obtenues par simulation et mesures expérimentales

Ces courbes montrent également l'influence des éléments parasites (résistifs et capacitifs) du layout. En effet, pour ajuster au mieux la fréquence d'oscillation, il faut prendre en compte ces éléments parasites qui sont extraits lors de la phase dite d'extract du layout.

La version schematic (avant "extract") ne prend pas en compte ces éléments parasites puisqu'ils dépendent du placement/routage des éléments. Lors de leur prise en compte ultérieure, on observe une diminution de la fréquence de l'ordre de 20MHz (pour une fréquence recherchée de 120 MHz), ce qui n'est pas du tout négligeable.

Il existe également des variations dans le process dont les impacts peuvent être évalués par simulation. Les simulations dites Typical correspondent à ce qu'on a de fortes chances d'obtenir, alors que les simulations dites Worst case correspondent au cas extrême que le fondeur peut obtenir par rapport aux variations des différentes phases du process de fabrication.

En contrepartie de cette stabilité en fréquence, l'inconvénient majeur de cet oscillateur est sa consommation. En effet, il a fallu réduire la résistance à l'état passant des MOS (pour stabiliser la fréquence vis-à-vis de la tension et de la température), d'où l'augmentation de la taille de ces MOS, ce qui génère d'une part une quantité de charges plus importante à fournir aux capacités de grille, et d'autre part des courants de court-circuit (lors des commutations) plus élevés.

Les évaluations (par simulation) de la puissance consommée par l'oscillateur sont répertoriées dans le tableau suivant :

Tension d'alimentation	3,3 V	2,5 V	2 V	1,7 V
Puissance consommée	9,5 mW	2,9 mW	1 mW	0,5 mW

FIG. II.37 – Consommations de l'oscillateur pour plusieurs tensions d'alimentation

Ces niveaux de consommation sont donc assez élevés, ce qui constitue un inconvénient majeur, notamment vis-à-vis du choix de l'oscillateur en anneau par rapport au VCO qui consomme moins d'énergie. Cependant, pour cette première version d'oscillateur, nous voulions privilégier la stabilité en fréquence, afin d'éviter tout problème lié à une dispersion trop importante des fréquences d'oscillation des différents convertisseurs.

Ce tableau montre également qu'il est nettement préférable de ne pas faire fonctionner le circuit à sa tension nominale de 3,3V puisque la puissance consommée par l'oscillateur représente au minimum 1% de rendement de perdu. Le paragraphe suivant montre comment obtenir des consommations bien plus faibles au détriment des les variations de fréquence en fonction de la tension.

#### II.1.4.2.d Améliorations de l'oscillateur

L'oscillateur présenté ci-dessus est donc caractérisé par une assez bonne stabilité en fréquence, au détriment de sa consommation. Pour satisfaire au critère essentiel de notre micro-convertisseur, à savoir un rendement optimal, nous avons dimensionné un second oscillateur en anneau.



L'objectif de ce second dimensionnement est de réduire sa consommation, malgré le fait que la stabilité en fréquence va s'en trouver réduite. Pour cela, nous avons réduit la taille des transistors, permettant ainsi de diminuer les capacités de grille, et donc de limiter l'énergie nécessaire à la commutation de chacun des étages. De plus, les valeurs des résistances réalisées en polysilicium ont été augmentées, réduisant la fréquence d'oscillation et, de ce fait, la bascule D qui divisait la fréquence par deux en sortie de la première version de l'oscillateur n'est plus nécessaire. Le tableau suivant présente les consommations de cet oscillateur amélioré.

Tension d'alimentation	3,3 V	2,5 V	2 V	1,7 V
Puissance consommée	1,1 mW	0,35 mW	0,13 mW	0,06 mW

FIG. II.38 – Consommation de l'oscillateur amélioré (version 2) pour diverses tensions d'alimentation

Les niveaux de consommations sont tout à fait acceptables, puisque nous avons un rapport de l'ordre de 10 entre la consommation de la première version et de cette seconde version de l'oscillateur. Cependant, comme le montre la figure II.39, la stabilité en fréquence est moins bonne.

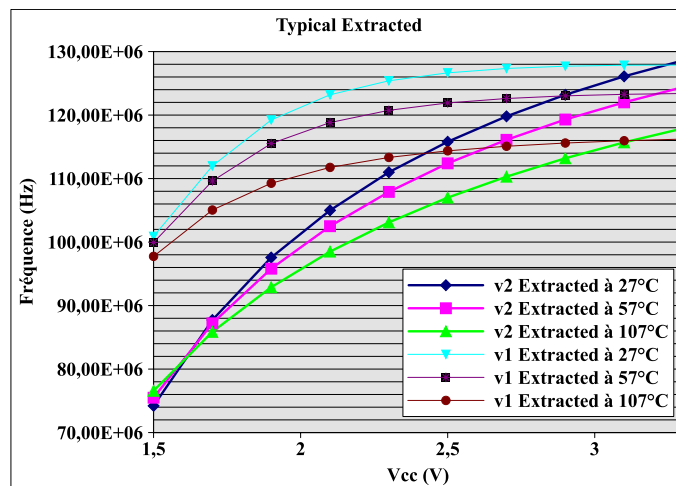


FIG. II.39 – Comparaison de la stabilité en fréquence des oscillateurs v1 et v2

Pour la première réalisation de la puce active, nous avons choisi d'utiliser la première version de notre oscillateur en anneau, pour des raisons de stabilité en fréquence. La seconde version a été introduite à l'occasion d'une seconde réalisation de la puce active (voir plus loin) dans un souci de réduction de la consommation et pour vérifier ultérieurement l'influence de ces variations plus importantes en fréquence.

Par ailleurs, après avoir réalisé ces oscillateurs en anneau, il semblerait que l'utilisation

d'une structure de type VCO soit plus judicieuse, malgré le fait que cette structure soit un peu plus compliquée que l'oscillateur en anneau, du fait de sa stabilité en fréquence et de sa faible consommation. Nous avons fait le choix de la simplicité pour nos réalisations, mais pour de futures réalisations, la réalisation d'un VCO pourrait apporter un meilleur compromis stabilité en fréquence/consommation.

### II.1.4.3 Modes de configuration de la puce

Cette puce active est une première version qui a pour but de réaliser différents tests afin de pouvoir caractériser le plus grand nombre de paramètres. C'est pour cette raison que cette première version est munie d'un ensemble d'entrées de configuration afin, par exemple, de faire fonctionner uniquement la partie puissance, indépendamment des signaux que délivrera la partie commande semi-éloignée.

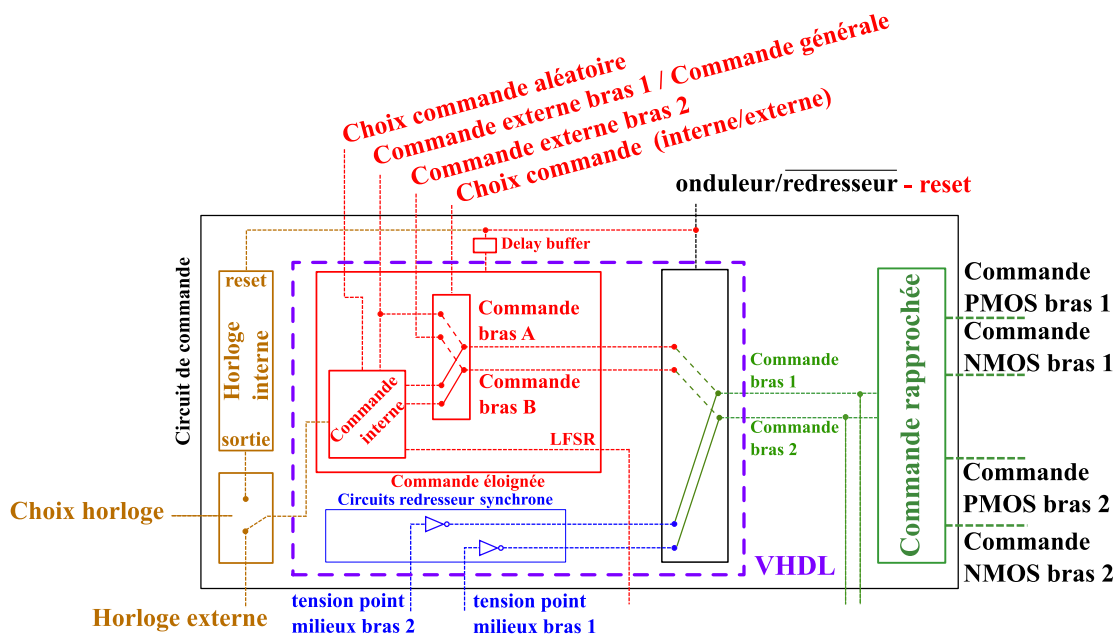


FIG. II.40 – Topologie de la commande intégrée

Le schéma figure II.40 présente l'ensemble des entrées/sorties dont est munie notre circuit de commande [Del08]. Il est ainsi possible d'utiliser une horloge externe en cas de dysfonctionnement de l'oscillateur interne ou bien lors de tests à des fréquences différentes, il est également possible de configurer la puce en fonctionnement onduleur ou bien en redresseur synchrone, la commande peut être aléatoire ou non, et enfin il est possible de commander directement le circuit de puissance par des signaux externes.

En fonction de l'état logique des entrées de configuration, nous pouvons déterminer différents modes de fonctionnement, comme le montre le tableau figure II.41. Les entrées logiques sont munies soit de pull-up, soit de pull-down. Ces circuits permettent d'établir un niveau logique bien déterminé lorsque l'entrée n'est pas connectée (noté "Z" dans le tableau II.41). Il n'est donc pas nécessaire de connecter toutes les entrées pour faire

fonctionner la puce. Le tableau II.42 explicite les différents modes de fonctionnement.

Entrées de configuration	Modes de fonctionnement					
	A	B	C	D	E	F
Onduleur_redresseur_reset	0	1 ou Z	1 ou Z	1 ou Z	1 ou Z	1 ou Z
Choix_horloge	X	0 ou Z	1	X	0 ou Z	1
Choix_commande_interne_externe	X	0 ou Z	0 ou Z	1	0 ou Z	0 ou Z
Choix_commande_aleatoire	X	0	0	X	1 ou Z	1 ou Z

FIG. II.41 – Tableau de configuration de la puce active

Mode A	Redresseur synchrone
Mode B	Onduleur / Horloge interne / Commande interne / Commande non aléatoire
Mode C	Onduleur / Horloge externe / Commande interne / Commande non aléatoire
Mode D	Onduleur / Commande externe
Mode E	Onduleur / Horloge interne / Commande interne / Commande aléatoire
Mode F	Onduleur / Horloge externe / Commande interne / Commande aléatoire

FIG. II.42 – Modes de fonctionnement de la puce active

Il est également possible de contrôler un autre circuit de puissance (externe) avec la commande interne en cas de dysfonctionnement de ce dernier en récupérant les signaux Commande bras 1 ainsi que Commande bras 2. La sortie "LFSR" n'a pour unique but que de contrôler le fonctionnement de la commande dédiée aux réseaux de micro-convertisseurs en observant par cette sortie série l'évolution de la séquence pseudo-aléatoire. Toutes ces entrées/sorties permettent donc d'isoler chaque ensemble du circuit intégré afin de les tester ou de les utiliser indépendamment les uns des autres.

L'ensemble de ce circuit logique a été décrit en langage VHDL à l'occasion du stage de fin d'études d'Yvan Ganev [Gan07], en collaboration avec Robin Rolland du CIME-Nanotech. Depuis, des évolutions ont été apportées à cette première version via des travaux conduits dans la thèse de Ha Dang Thai [Tha09a]

À l'issue de la synthèse du circuit avec les éléments de la librairie d'AMS  $0,35\mu\text{m}$ , des mesures de consommation par simulation nous ont permis de déterminer que ce circuit consomme 5,2 mW lorsque la puce est en mode onduleur, et 3,5 mW en mode redresseur. La consommation est plus faible en mode redresseur puisque nous avons pris soin d'inhiber le circuit dans ce mode.

### II.1.5 Elaboration du layout

Nous avons ainsi dimensionné tout les éléments nécessaires pour dessiner l'ensemble de notre circuit intégré :

- Le circuit de puissance
- La commande semi-éloignée conçue en VHDL
- L'oscillateur

Il faut maintenant passer à la phase d'assemblage, d'interconnexion et de dessin des différentes parties et pistes à réaliser sur la puce de silicium.

### II.1.5.1 Layout du circuit de puissance

Nous avons déjà détaillé quelles précautions nous avons prises pour dessiner les MOS de puissance en terme de polarisation du substrat, ainsi qu'au niveau de la répartition du courant dans les différentes pistes de métallisation. À partir du dessin de ces MOS de puissance, nous avons élaboré le layout de la commande rapprochée.

Pour garantir une commande rapide, il est important de limiter au maximum les éléments parasites entre la commande rapprochée et les MOS de puissance. C'est pour cette raison que nos étages d'amplification sont implantés au plus proche de la surface active des MOS de puissance, sous leurs amenées de courant. D'autre part, les MOS de l'étage 1 de la commande rapprochée (c'est à dire ceux qui sont directement reliés à la grille des MOS de puissance) sont dessinés de manière à couvrir toute la largeur des MOS de puissance, afin de pouvoir fournir de manière homogène le courant de grille nécessaire.

Ces cellules de commutation de puissance, ainsi que l'alimentation des circuits de commande rapprochées et de la commande numérique intégrée, sont reliées à l'extérieur via des matrices de pads, dans le but d'obtenir le meilleur contact possible, que ce soit par des techniques classiques à base de fils de bondings, ou bien par d'autres techniques tels que les prises de contact flip-chip à base de billes brasées. Il est à noter que les circuits de protection ESD ont été retirés pour plusieurs raisons : ils ne sont pas utiles ici puisque les entrées/sorties de puissance ne sont pas reliées à des grilles de MOS, ils limitent la vitesse de fonctionnement, et ils ne permettent pas de faire circuler des forts courants [MV88]. De plus, d'un point de vue pratique, ces circuits nous obligeaient à passer le courant par le niveau de métal 2, alors qu'ici il ne traverse que le métal 4 qui est beaucoup plus épais, réduisant ainsi les largeurs de pistes nécessaires ainsi que les densités de courant. Ces pads nous permettent ainsi, d'une part, de minimiser les éléments parasites et, d'autre part, d'y faire circuler un courant élevé.

Le layout de ce circuit de puissance peut être observé sur la figure II.43 qui présente la layout de l'ensemble de la puce active.

### II.1.5.2 Layout de la commande semi-éloignée

Le circuit de commande a donc, tout d'abord, été élaboré à l'aide du langage VHDL, permettant de décrire le fonctionnement souhaité. À partir de cette description, il a fallu synthétiser notre circuit en portes logiques et bascules propres à la technologie utilisée (CMOS 0.35 $\mu$ m d'AMS) afin de pouvoir l'implanter au sein de notre circuit. Une fois la

phase de placement/routage terminée, il reste à connecter toutes les entrées/sorties de la commande au reste du circuit, notamment aux plots de contact qui permettent, d'une part, d'amplifier les signaux entrants et sortants et, d'autre part, de protéger le circuit des décharges électro-statiques qui peuvent l'endommager.

Afin de limiter les éventuels problèmes de perturbations liés à la présence toute proche du circuit de puissance sur la puce, la commande semi-éloignée est munie en périphérie d'un collecteur de charge relié à la masse du circuit, ce qui est une démarche classique, mais essentielle. Cela permet de réduire les courants parasites dans le substrat sous la commande. Il en est d'ailleurs de même pour l'oscillateur en anneau.

### II.1.5.3 Layout de l'ensemble

Il ne reste plus qu'à agencer l'ensemble des éléments cités au-dessus sur la puce, ce qui nous donne le layout global de notre circuit figure II.43.

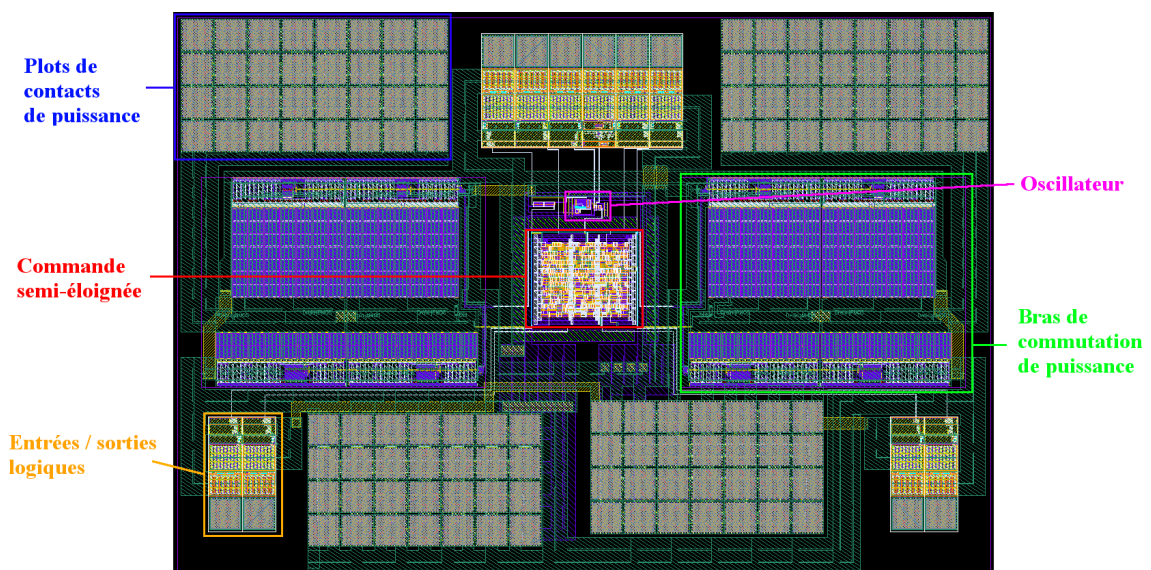


FIG. II.43 – Layout du circuit intégré complet

La puce représente ainsi une surface de  $4\text{mm}^2$ , pour une longueur de  $2,5\text{mm}$  et une largeur de  $1,5\text{mm}$ . On peut noter la présence de la commande semi-éloignée au coeur de la puce, facilitant ainsi la connexion des différentes entrées/sorties et de l'alimentation au reste du circuit. Ce circuit numérique est tout de même proche du circuit de puissance, ce qui pourrait entraîner des dysfonctionnements par des perturbations conduites et rayonnées.

### II.1.6 Modifications liées à une seconde version de la puce active

Cette première version est parfaitement adaptée pour le mode de fonctionnement onduleur, mais un problème se pose lorsqu'elle est utilisée dans le mode redresseur synchrone.

En effet, l'alimentation des commandes rapprochées est directement connectée au circuit de puissance. Or, si cela est correct pour le mode onduleur puisque les commandes rapprochées voient toujours une tension continue et stable, ce n'est pas le cas en mode redresseur, car la tension générée en sortie du redresseur, en amont du filtre LC, n'est pas constante.

La figure II.44 montre l'influence du mode d'alimentation de la commande rapprochée sur la commutation du NMOS de puissance. Ces courbes sont issues de simulations où le rapport cyclique est égale à 80% et l'amplitude de la tension d'entrée égale à 3,3 V. Les courbes de droites montrent le cas de la première version de notre puce active (l'alimentation de la commande rapprochée est connectée au circuit de puissance). Celles de gauche ont été obtenues en alimentant la commande rapprochée des NMOS de puissance à une source de tension constante égale à 3,3 V.

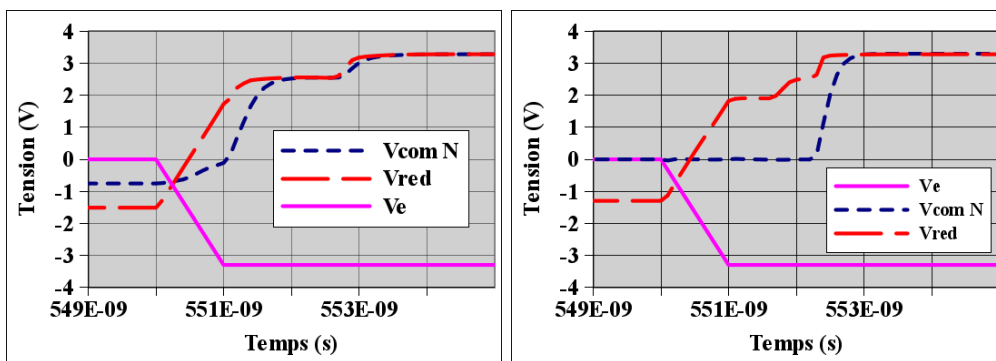


FIG. II.44 – Comparaison de la commutation du NMOS de puissance suivant le mode d'alimentation de la commande rapprochée (simulation). à droite, le cas de la puce active v1, à gauche, le cas où les commandes rapprochées des NMOS de puissance sont reliées à une source de tension constante égale à 3,3 V

Dans le premier cas, ces simulations nous donne un rendement de 86,9%, alors que dans le second cas, il atteint 88,6%. Cela est du notamment au fait que seules les commutations des NMOS sont impactés par ce changement (puisque l'alimentation de la commande rapprochée des PMOS n'a pas été modifiée). Par ailleurs, il est nécessaire de considérer les points suivants pour expliquer cette légère amélioration du rendement.

- Dans le premier cas, lorsque la tension d'entrée est nulle, toutes les diodes conduisent (y compris celles de la commande rapprochée) pour offrir un passage au courant de sortie. Ceci a pour conséquence de forcer la tension de grille des MOS à -0,7 V (tension de seuil des diodes body des MOS). Il est donc nécessaire d'apporter un surplus de charge pour assurer la commutation des NMOS de puissance.
- Dans le second cas, la commutation se fait très rapidement (environ 0,6 ns) mais avec un retard du au temps mort introduit pour le fonctionnement en onduleur et au temps de propagation du signal de commande à travers tout les étages de la commande rapprochée.
- Dans le premier cas, la commutation du NMOS se fait plus rapidement que dans le

second cas pour la raison suivante : puisque toutes les diodes conduisent, la tension d'entrée de l'étage 1 de la commande rapprochée est aussi égale à  $-0,7V$ . À l'instant où la tension  $V_e$  passe à  $-3,3 V$ , la tension  $V_{red}$  augmente, ce qui permet d'alimenter la commande rapprochée du NMOS. Dans la mesure où l'entrée de l'étage 1 de la commande rapprochée est déjà à  $-0,7 V$ , la charge de la grille du NMOS de puissance débute tout de suite, les temps mort et de propagation du signal sont donc "court-circuités", ce qui assure une commutation sans délai.

Pour ces raisons, et bien que dans le second cas la commutation du NMOS ne se fait qu'après un certain délai, le rendement se trouve donc globalement meilleur lorsque la commande rapprochée n'est pas connectée directement au circuit de puissance.

De plus, il paraît inadapté de récupérer l'énergie nécessaire à la commutation des MOS en sortie de la structure, lui faisant ainsi subir un étage de conversion inutile.

Pour fournir une tension stable à la commande rapprochée ainsi qu'à la commande semi-éloignée dans le mode de fonctionnement en redresseur, plusieurs solutions s'offrent à nous. La première consiste à alimenter ces circuits par la tension de sortie (solution partielle de la figure II.45), en aval du filtre LC (contrairement à la première version qui les alimente en amont). C'est une solution simple, qui ne nécessite pas d'importants changements, mais qui fait subir un étage de conversion "inutile" à l'énergie utilisée pour ces circuits, générant des pertes en plus, puisque l'alimentation de ces derniers se trouve en sortie du redresseur. La seconde solution prélève, quant à elle, l'énergie nécessaire à ces circuits directement en entrée du redresseur. Pour cela, nous avons rajouté deux redresseurs synchrones intégrés, dont les grilles des transistors sont commandées directement par la tension à redresser (il n'y a donc pas de commande rapprochée). L'un permettra de fournir une tension positive par rapport au gnd, l'autre permettra de créer une tension supérieure à la tension de seuil entre le potentiel gndp et vdd power pour pouvoir commander les PMOS. Des condensateurs reportés sur la puce permettront de lisser les tensions obtenues en sortie de ces petits redresseurs.

Il y a un point sur lequel il est nécessaire de revenir vis-à-vis de l'alimentation de la commande rapprochée du PMOS de puissance. La solution partielle présentée ci-dessus ne permet pas de fournir une tension satisfaisante à la commande rapprochée du PMOS, puisqu'elle est toujours connectée entre  $V_{red}$  et la masse (c'est pour cette raison que nous avons qualifié cette solution de "partielle"). La solution retenue pour la 2ème version de la puce permet d'apporter une amélioration à ce problème, puisque cette fois-ci, il est possible de créer un potentiel négatif par rapport à la masse, ce qui permet d'augmenter la tension de polarisation du PMOS. Le problème de cette solution reste cependant que cette tension ne peut excéder environ  $-0,6 V$ , puisqu'une diode intrinsèque à la structure CMOS se met en conduction au-delà. Cette solution apporte donc une amélioration, sans arriver à une solution totalement satisfaisante.

Par ailleurs, les tensions fournies par ces redresseurs auxiliaires pour l'alimentation des commandes rapprochées sont soumis au rapport cyclique de l'onduleur. Cela implique une



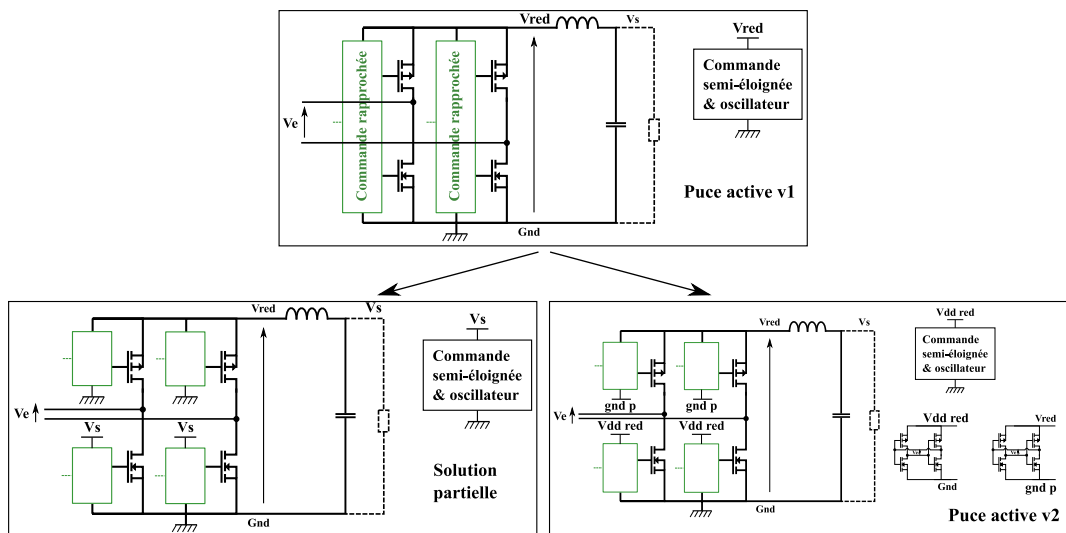


FIG. II.45 – Modifications envisageables pour la seconde version de la puce

variation assez importante du niveau de polarisation des MOS de puissance du redresseur.

Nous proposons donc une seconde version de cette puce active afin de limiter les problèmes liés à notre première version dans le cas du mode de fonctionnement en redresseur synchrone. La figure II.46 montre la structure schématique de cette seconde version.

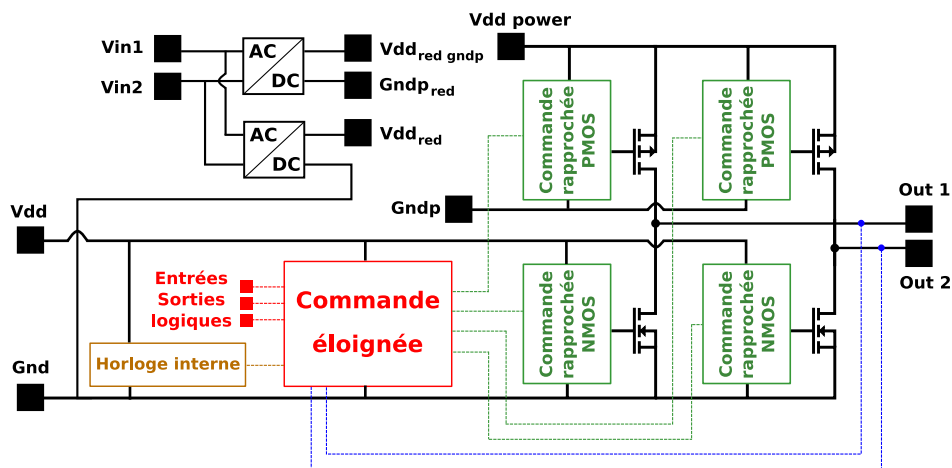


FIG. II.46 – Topologie de la puce active version 2

L'idée développée dans cette seconde version consiste donc à séparer l'alimentation des commandes rapprochées (et de la commande semi-éloignée ainsi que de l'horloge) du circuit de puissance. Dans la mesure où les transistors MOS de puissances doivent être commandés par rapport au potentiel de leur source, les alimentations des commandes rapprochées doivent absolument garder un potentiel commun avec le circuit de puissance, à savoir le gnd pour la commande du NMOS de puissance, et le vdd power pour la commande



du PMOS. Le rendement de ces redresseurs synchrones auxiliaires est de l'ordre de 96%, pour une tension d'entrée d'amplitude égale à 3,3 V, un rapport cyclique de l'onduleur égal à 1 et une puissance consommée de 15 mW.

Par ailleurs, ces redresseurs auxiliaires doivent être déconnectables physiquement en cas de dysfonctionnement. Pour cela, nous avons prévu des plots à la surface de la puce. Ceci oblige également à supprimer certaines entrées/sorties logiques présentes dans la première version. Il n'est ainsi plus possible d'avoir une horloge externe ou bien de commander le circuit de puissance avec une commande externe.

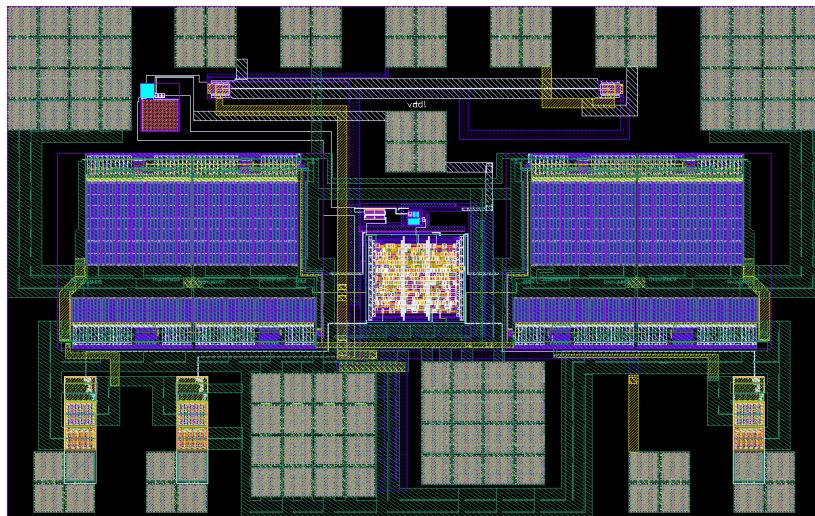


FIG. II.47 – Layout de la puce active version 2

Le layout de la figure II.47 est donc celui de cette seconde version, où l'on peut noter la présence des pads qui ont été agrandis et espacés afin de faciliter leurs connexions dans le cas d'un report en flip-chip sur une technologie dont la précision reste limitée (pistes de 150 $\mu$ m de largeur) comme celle employée par Cibiel (voir chapitre 3 sur les passifs).

En outre, un dispositif de power on reset, constitué d'une résistance et d'une capacité intégrées sur la puce, a également été rajouté afin d'améliorer l'initialisation du circuit lors de sa mise sous tension.

## II.2 Mise en oeuvre et caractérisation

À l'issue de cette phase de conception, nous avons donc fait réaliser les puces via le CMP, qui nous a fourni 25 puces, dont 5 en boîtier SOIC16. La figure II.48 montre la puce au sein de ce boîtier, nécessitant ainsi des connexions de type bondings. Bien que ces bondings soient néfastes pour le bon fonctionnement de notre circuit, nous avons réalisé nos premiers tests avec ces puces mises en boîtier.

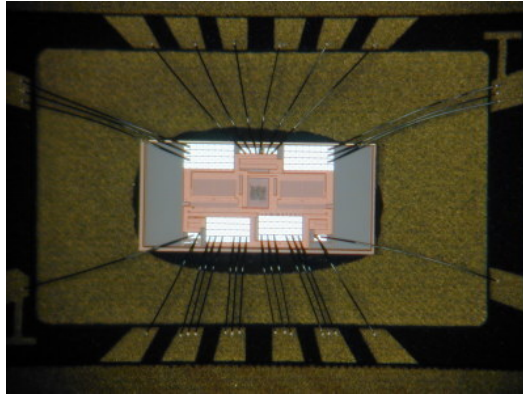


FIG. II.48 – Puce dans son boîtier SOIC16

### II.2.1 Caractérisation du mode Onduleur

Nous allons tout d'abord nous intéresser à la caractérisation d'une puce (première version) en mode onduleur. Pour cela, nous avons réalisé un PCB d'essai sur lequel nous avons monté la puce en boîtier (figure II.49).

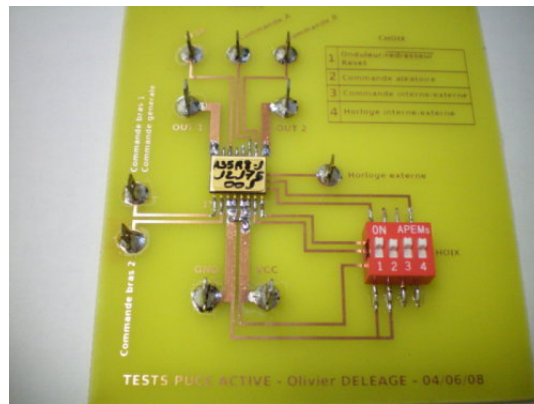


FIG. II.49 – Circuit intégré monté en boîtier sur son PCB d'essais

Les quatre micro-interrupteurs permettent de configurer certains paramètres (mode onduleur ou redresseur, commande aléatoire, commande interne ou externe, horloge interne ou externe).

Les courbes présentées figure II.50 montrent le bon fonctionnement de la commande aléatoire dédiée aux réseaux de micro-convertisseurs, puisque les commandes sont décalées avec des temps de retard différents à chaque période.

Les mesures de rendements ont été effectuées lorsque l'onduleur débite sur une charge résistive de  $10\Omega$ , pour des rapports cycliques variants de 10% à 96%, et pour des tensions d'alimentation allant de 1,7V jusqu'à la tension nominale de 3,3V. Les résultats sont présentés figure II.51.

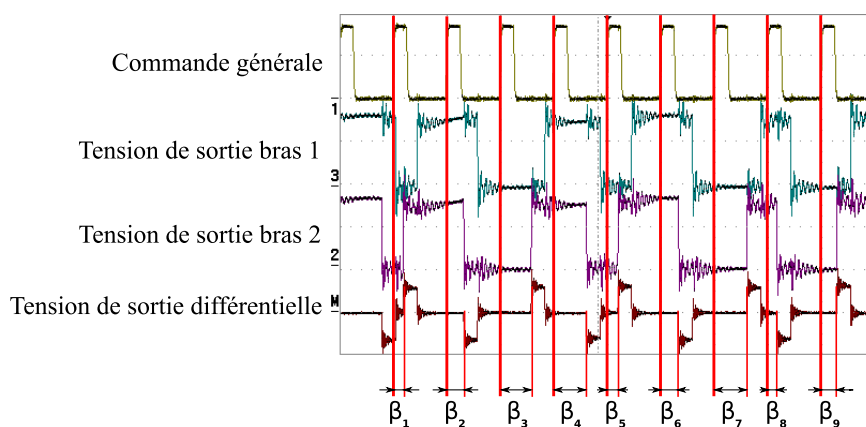


FIG. II.50 – Tensions de sorties obtenues en configuration aléatoire (les  $\beta_i$  représentent les décalages aléatoires)

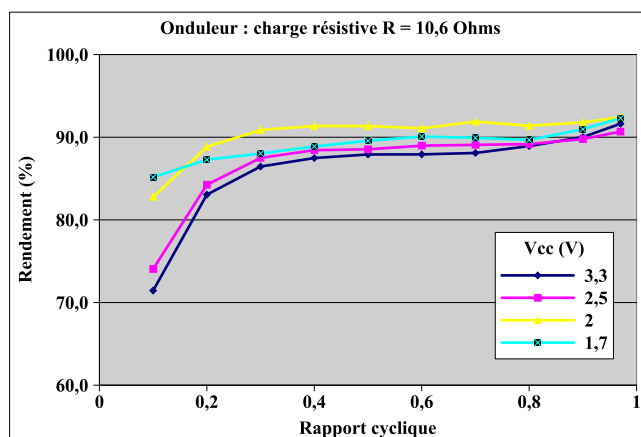


FIG. II.51 – Rendements mesurés en mode onduleur pour plusieurs valeurs du rapport cyclique correspondant à plusieurs valeurs de tension de sortie et donc de la puissance transmise (commande non aléatoire)

Ces niveaux de rendements sont donc tout à fait corrects, surtout vis à vis du fait que l'environnement de la puce active n'est pas propice à obtenir les rendements calculés par simulation. En effet, les résistances et les inductances parasites présentes dans toutes les connexions autour de la puce et sur le PCB ne permettent pas d'atteindre des rendements plus élevés, car il est évident que tout élément résistif au sein de la structure génère des pertes. Par ailleurs, les éléments parasites inductifs dans les mailles de commutations créent des chutes de tension et des oscillations lors des commutations, ce qui est donc également néfaste vis-à-vis du rendement. Il est cependant difficile d'estimer ces éléments parasites, et donc les pertes liées à ces derniers.

## II.2.2 Caractérisation du mode redresseur

### II.2.2.1 Résultats des mesures

Intéressons nous à présent au mode redresseur synchrone : pour tester les performances de notre redresseur seul, nous utilisons comme générateur un GBF suivi d'un amplificateur ainsi qu'un transformateur réalisé classiquement en bobinant 4 spires autour d'un noyau magnétique en 3F4. Les mesures de rendement sont réalisées entre l'entrée du redresseur et la charge en sortie égale à  $10\Omega$  (composée de 4 résistances de  $39\Omega$  en parallèles).

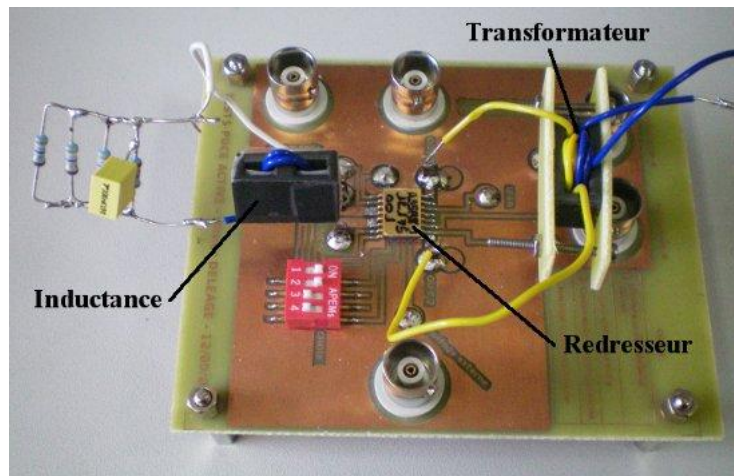


FIG. II.52 – Dispositif de tests du redresseur avec transformateur et inductance avec ferrite

Nous avons effectué ces mesures à différentes fréquences, pour une tension d'entrée d'amplitude nominale (3,3 V), comme le montre la figure II.53, où on peut observer la tension d'entrée ( $V_e = \text{Out1} - \text{Out2}$ ), la tension de sortie ( $V_s$ ), ainsi que le courant absorbé en entrée ( $I_e$ ).

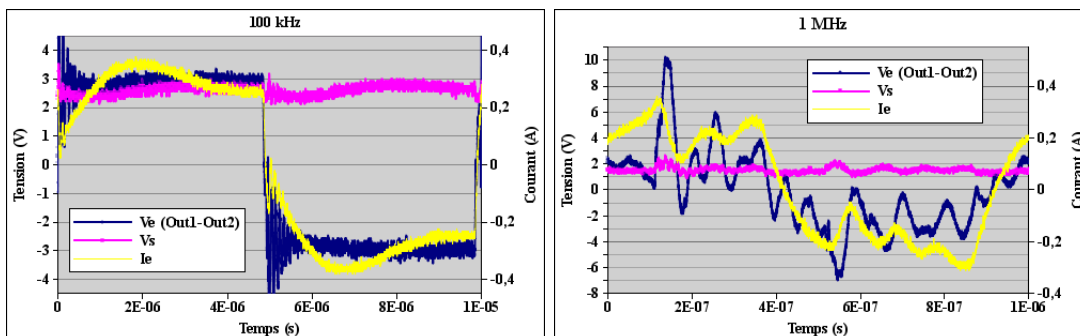


FIG. II.53 – Formes d'ondes en mode redresseur (puce 1ère version)

Les mesures de rendements du redresseur à différentes fréquences sont montrés figure II.54.

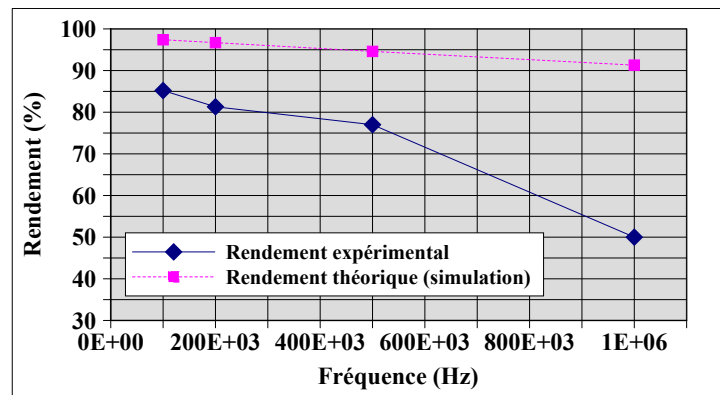


FIG. II.54 – Rendements en mode redresseur pour différentes fréquences de fonctionnement (consommations de la commande semi-éloignée et de l’oscillateur pris en compte dans les simulations)

Il apparaît donc des niveaux de rendements assez faibles par rapport à ceux qui étaient attendus (voir paragraphe suivant). Nous allons voir maintenant les raisons pour lesquelles ces mesures ne correspondent pas aux simulations.

### II.2.2.2 Problèmes rencontrés

À 100 kHz, les oscillations dues aux commutations ne représentent qu’une très faible proportion de la demi-période de fonctionnement, ce qui permet d’assurer une conduction correcte, c’est à dire avec un niveau de tension adéquat et suffisamment stable durant la majorité de la période pour que le transfert d’énergie ne soit pas pénalisé par les éléments parasites.

À 1 MHz, ces mêmes oscillations représentent maintenant la quasi-totalité de la demi-période de commutation considérée, ce qui ne permet pas d’avoir une tension stable. De tels signaux ne permettent donc pas d’assurer un bon fonctionnement de notre structure.

De plus, la figure II.53 montre également qu’à 1 MHz, la tension maximale appliquée au redresseur avoisine les 10 V, ce qui est normalement destructif pour la technologie AMS  $0,35\mu\text{m}$ . Il apparaît ainsi que lorsque l’amplitude de ces oscillations parasites dépasse cette valeur critique, le redresseur ne fonctionne plus de la même manière. En effet, lorsque l’on augmente progressivement la tension d’entrée, il apparaît, à partir d’une certaine tension qui dépend des conditions de mise en oeuvre de l’ensemble du micro-convertisseur, un courant additionnel qui ne disparaît que lorsque la tension d’entrée est suffisamment redescendue. Ce comportement est tout à fait similaire au phénomène de latch-up précédemment cité. Ainsi, le thyristor intrinsèque de l’une ou plusieurs des structures CMOS s’amorce, ce qui a pour conséquence la consommation d’un courant supplémentaire dans la structure, en pure pertes. Lorsque la tension appliquée diminue suffisamment, le thyristor se bloque [Ber00]. Ce phénomène est généralement destructif, mais nous avons pris le soin, dans nos essais, de limiter le courant fourni par la source d’entrée afin qu’il ne détruise pas nos circuits.

## II.2.3 Caractérisation du micro-convertisseur complet

### II.2.3.1 Formes d'ondes théoriques

Avant de s'intéresser aux relevés des courbes expérimentales, il est bon d'établir dans un premier temps quelles sont les formes d'ondes que l'on doit obtenir avec cette structure. Pour cela, nous pouvons réaliser des simulations dans plusieurs situations : la première est réalisée dans le cas où les éléments parasites sont nuls (cas parfait), alors que la seconde prendra en considération certaines caractéristiques imparfaites des composants. Ceci permettra de voir l'influence de ces derniers sur les formes d'ondes ainsi que sur les performances de la structure.

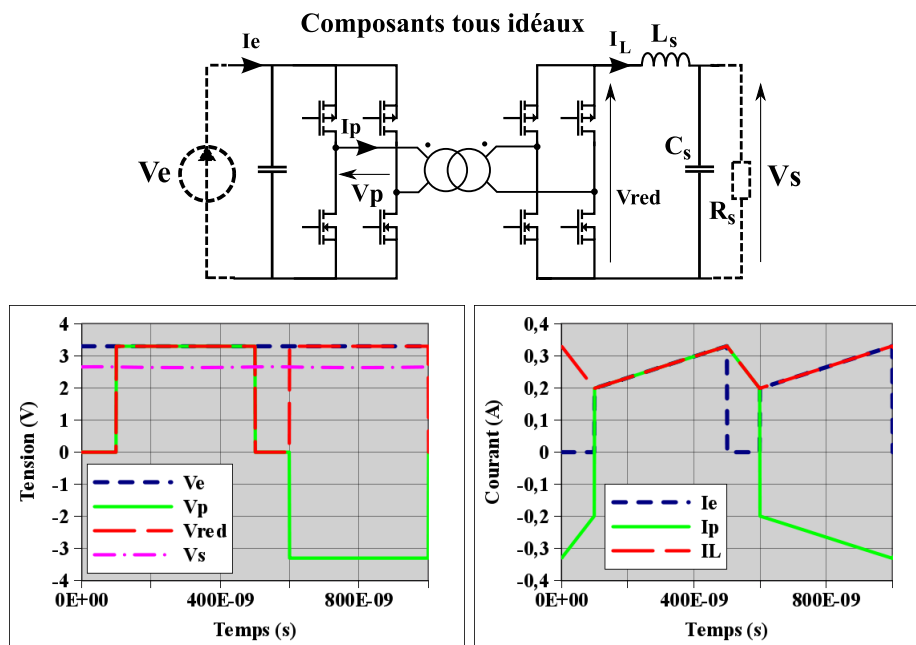
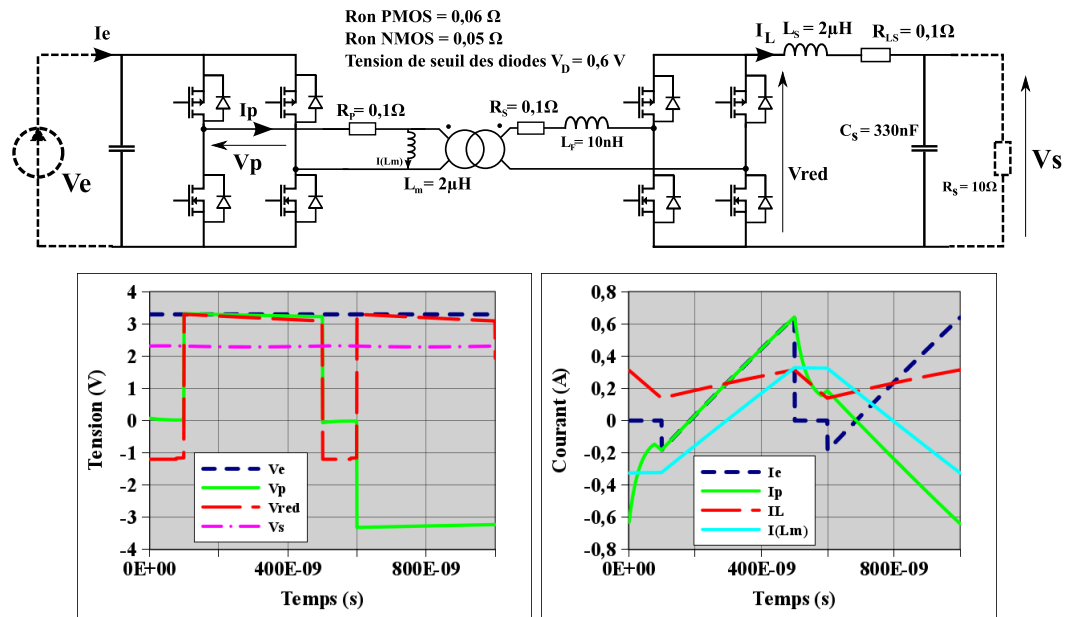


FIG. II.55 – Formes d'ondes idéales (simulation PSIM, composants idéaux,  $C_s = 330 \text{ nF}$ ,  $L_s = 2 \text{ } \mu\text{H}$ ,  $R_s = 10 \text{ } \Omega$ ,  $\alpha = 0,8$ )

Les courbes de la figure II.55 présentent donc les formes d'ondes caractéristiques de notre structure lorsque les composants sont idéaux. Les résistances à l'état passant des transistors sont nulles, les résistances des éléments inductifs sont également nulles, les diodes intrinsèques des MOS ont une tension de seuil nulle, le couplage du transformateur est parfait et son inductance magnétisante est infinie. Le rendement de cette structure est donc unitaire.

Pour pointer l'influence des différents éléments non-idéaux de la structure, voyons maintenant les résultats de simulation (à l'aide du logiciel PSIM) en considérant les éléments présentés figure II.56.



FIG. II.56 – Formes d’ondes attendues ( $\alpha = 0,8$ )

Tout d’abord, les valeurs utilisées dans ce schéma représentent les objectifs que l’on a dans ces travaux de thèse. Le rendement calculé par simulation dans ce cas (qui représente donc notre objectif), est de 84,7%. Cette valeur ne prend cependant en compte ni les pertes par commutations, ni la puissance consommée par la commande semi-éloignée.

Il apparaît plusieurs chutes de tension (pour  $t \in [100\ ns, 500\ ns]$ ) aux bornes des MOS qui réduisent donc le niveau de tension en sortie, après redressement. Pour  $t \in [0, 100\ ns]$  et  $t \in [500\ ns, 600\ ns]$ , la tension appliquée au redresseur étant nulle, le courant de sortie circule au travers des diodes, dont les tensions de seuil imposent un potentiel négatif à  $V_{red}$ . L’inductance magnétisante absorbe un courant du même ordre de grandeur que le courant nominal, et qui vient donc s’ajouter au courant primaire du cas idéal.

Maintenant que nous avons vu le principe global du fonctionnement de la structure, nous pouvons aborder les essais expérimentaux, ce qui nous permettra d’évaluer l’influence des éléments parasites supplémentaires et déterminants, ainsi que d’autres phénomènes indésirables.

### II.2.3.2 Expériences pratiques

Nous avons déjà évalué séparément les performances des étages onduleur et redresseur, il ne reste plus qu’à tester l’ensemble du micro-convertisseur, en associant ces deux étages via un transformateur, comme le montre la figure II.57.

Les puces configurées en mode onduleur et redresseur synchrone ont donc été montées sur le même PCB, et connectées à un transformateur et une inductance situés de part et

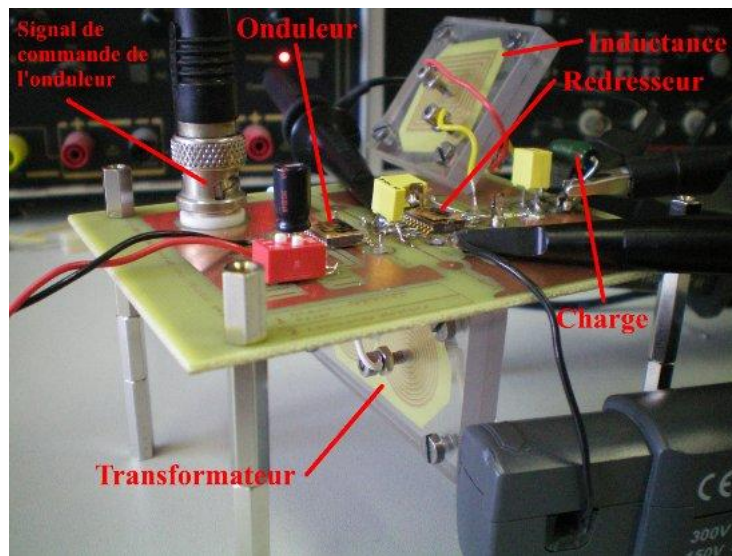


FIG. II.57 – Dispositif de tests du micro-convertisseur complet

d'autre du PCB (voir figure II.57). La disposition du transformateur et de l'inductance sur les deux faces du PCB permet d'éviter les couplages magnétiques trop importants, du fait de l'absence de circuit magnétique.

La figure II.58 présente les relevés expérimentaux de ce dispositif à une fréquence de 1 MHz.

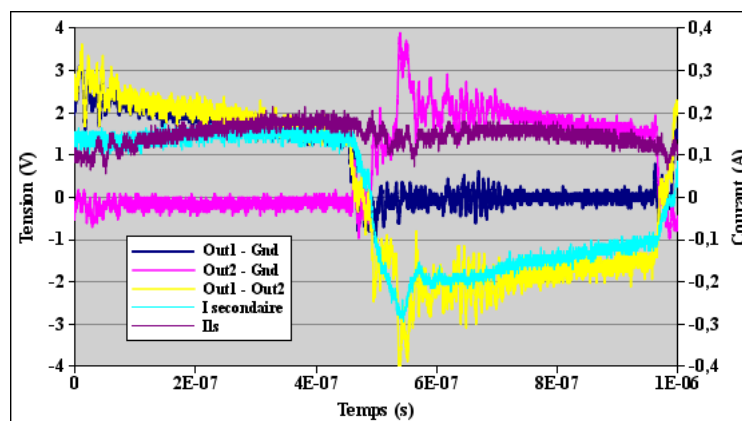


FIG. II.58 – Courbes relevées lors des tests du micro-convertisseur complet

Nous pouvons noter ici que les oscillations que nous avons observées durant les tests du redresseur seul ne sont pas aussi importantes dans ces conditions. Ceci est très probablement dû à la résistance série non négligeable des bobines du transformateur et de l'inductance, lesquelles limitent ces sur-tensions. En effet, les oscillations étant dues à des circuits R-L-C, elles sont amorties en fonction de la valeur de la résistance. Plus cette résistance est grande, plus les oscillations sont réduites et amorties, ce qui est probablement le cas ici par



l'introduction du transformateur et de l'inductance sur Kapton que nous avons réalisés, du fait de leur résistance relativement importante (voir chapitre 3). Cependant, nous n'avons pas été en mesure d'identifier précisément et de quantifier ces phénomènes, ce qui ne nous permet pas d'être sûr de l'origine de ces oscillations.

Le tableau figure II.59 résume les conditions dans lesquelles ces essais ont été réalisés pour obtenir les courbes de la figure II.58 :

Tension d'entrée	Courant d'entrée	$\alpha$	$R_s$	$C_s$	f
2,7 V	145 mA	94%	10 $\Omega$	330 nF	1 MHz

Tension de sortie	Puissance d'entrée	Puissance de sortie	Rendement
1,47 V	392 mW	216 mW	55%

FIG. II.59 – Paramètres des mesures réalisées

Nous pouvons faire plusieurs commentaires et apporter quelques précisions sur ces valeurs obtenues :

Tout d'abord, les caractéristiques en fréquence du transformateur utilisé sont présentées figure III.24, page 99 (spirale double en "lunettes" ). On peut ainsi noter une résistance série à 1 MHz de l'ordre de 1  $\Omega$  par enroulement, ce qui génère une chute de tension importante, faisant par conséquent chuter le rendement. De plus, il ne faut pas non plus oublier les harmoniques de la tension appliquée, qui voient une résistance encore plus importante.

On peut ainsi faire une estimation des pertes au sein de la structure, sachant qu'il s'agit ici d'une sous-estimation puisque nous prenons en compte que les résistances des bobines (en tenant compte des effets de peau et de proximité). En effet, les résistances des amenées de courant sur le PCB et des fils de connexions ne sont pas prises en compte ici.

Pertes dans le transformateur	Pertes dans l'inductance
43 mW	22 mW

FIG. II.60 – Estimations des pertes par effet Joule dans le transformateur et l'inductance

Si on prend ces pertes en compte dans le calcul du rendement, cela correspond à un niveau de rendement de 72% pour l'ensemble de notre micro-convertisseur, ce qui est très encourageant, car il s'agit ici d'une limite inférieure. En plus de générer des pertes importantes, ces résistances des enroulements génèrent des chutes de tension. Par conséquent, le redresseur ne peut pas fonctionner à tension nominale, ce qui ne permet pas de l'utiliser dans les conditions où son rendement est le meilleur.

Par ailleurs, la tension appliquée à l'entrée du micro-convertisseur pour cet essai n'a pas pu atteindre la tension nominale (pour laquelle le rendement est le meilleur en théorie

comme nous l'avons déjà mentionné), car une tension supérieure à celle de cet essai génère un courant absorbé en entrée supplémentaire (en pure perte), probablement lié au problème de "latch-up". De fait, les niveaux de puissance que l'on peut tester en fonctionnement normal restent assez limités.

### II.3 Bilan et perspectives sur la puce active

La conception de cette puce active est le coeur du micro-convertisseur, puisque les performances de l'ensemble de la structure sont déterminées par les possibilités offertes par celle-ci, tant au niveau des commutations que des pertes par conduction dans les MOS et dans la maille de commutation en général.

Les mesures expérimentales ont montrées que les conditions de mise en oeuvre de l'onduleur ne posaient pas de problèmes pour assurer son bon fonctionnement, même si cela coûte quelques points de rendement dans notre cas. En revanche, le fonctionnement du redresseur synchrone est beaucoup plus exigeant, puisque l'environnement de la puce lors des caractérisations doit être le plus propre possible afin de limiter les oscillations.

Il aurait peut-être été plus judicieux, dans un premier temps, de concevoir une puce dédiée à la fonction onduleur, et une autre puce pour la fonction redresseur synchrone afin d'éviter certains problèmes. En effet, nous nous sommes particulièrement penché sur le mode de fonctionnement en onduleur, au détriment des problématiques liées au redresseur synchrone. De plus, des simulations ont montré que le rendement du redresseur synchrone, commandé directement, sans commande rapprochée, était bien meilleur (97,4% au lieu de 92%<sup>1</sup>) en raison de la suppression des délais de propagation du signal à travers ces dernières. Cela s'explique par la réduction importante des temps de conduction des diodes, malgré le fait que la commutation des transistors est sensiblement plus longue puisqu'il n'y a pas de commande rapprochée.

Le défaut majeur est tout de même ce problème de sur-intensités en continu qui apparaît au-delà d'une certaine puissance consommée, dont l'origine n'a pas pu être déterminé avec certitude à l'heure actuelle, mais dont les "symptômes" font penser à l'amorçage d'un thyristor, source du problème du phénomène de "latch-up". Une solution possible pour éviter ce problème est de mener ces caractérisations dans un environnement dont les éléments inductifs parasites sont les plus faibles possible, ce qui implique un packaging bien conçu, mais le temps de le faire nous a fait défaut au cours de cette thèse.

En ce qui concerne les perspectives, il est nécessaire de mener des investigations pour remédier au problème cité juste au-dessus, pour permettre l'utilisation de ces circuits à des puissances plus élevées, et donc d'atteindre de meilleurs rendements.

Par ailleurs, la conception de la commande ainsi que, d'une manière plus générale, la

---

<sup>1</sup>rendements qui ne prennent en compte que la partie puissance

stratégie de commande du réseau de micro-convertisseurs de façon autonome est toujours en pleine évolution pour résoudre les défauts qui apparaissent en pratique (ces problèmes sont traités dans la thèse de Dang Thai Ha).

La problématique de l'isolation du signal de commande pourra également être abordée dans un proche avenir, puisque dans le cas où les micro-convertisseurs sont configurés dans un réseau à entrées séries, il est nécessaire d'assurer une isolation de la commande pour chaque convertisseurs. Ceci pourra être fait suivant deux techniques : isolation galvanique à l'aide d'un micro-transformateur (Travaux de thèse de Timothée Simonot), ou isolation optique (Travaux de thèse de Nicolas Rouger [[Rou08](#)]).



### SOMMAIRE

---

III.1 INTRODUCTION ET ÉTAT DE L'ART DES COMPOSANTS PASSIFS . . . . .	84
III.1.1 Éléments inductifs . . . . .	84
III.1.2 Éléments capacitifs . . . . .	87
III.2 OBJECTIFS . . . . .	89
III.3 CONCEPTION DU MICRO-TRANSFORMATEUR ET DE L'INDUCTANCE . . . . .	91
III.3.1 Critères de dimensionnement relatifs au transformateur . . . . .	92
III.3.2 Critères de dimensionnement relatifs à l'inductance . . . . .	92
III.3.3 Méthodes de conception . . . . .	92
III.3.4 Modélisation magnétique et capacitive du transformateur . . . . .	112
III.4 TOPOLOGIE DES MICRO-BOBINES . . . . .	121
III.4.1 Micro-bobines sur Kapton . . . . .	121
III.4.2 Micro-bobines sur silicium . . . . .	126
III.4.3 Moyens de réalisation du circuit magnétique . . . . .	134
III.5 CONCLUSION ET PERSPECTIVES SUR LES COMPOSANTS PASSIFS . . . . .	140

---

### Résumé

*Plusieurs topologies et technologies sont étudiées dans ce chapitre pour réaliser le micro-transformateur et l'inductance de lissage de notre micro-convertisseur. Différentes pistes sont explorées dans le but de confronter les avantages et inconvénients de chacune d'entre elles, que ce soit vis à vis du cahier des charges et des caractéristiques électriques dont nous avons besoin, que par rapport aux moyens et aux difficultés de réalisation. L'étude qui suit dans ce chapitre présente ainsi des topologies de transformateurs et d'inductances à air, pour finir sur les moyens de réalisation d'un circuit magnétique compatible avec nos objectifs de compacité, de performances et de mise en oeuvre. Les moyens employés pour réaliser ces composants sont détaillés dans le chapitre suivant, puisque les procédés utilisés permettront également l'élaboration de l'ensemble du micro-convertisseur.*

## III.1 Introduction et état de l'art des composants passifs

Il existe de nombreux moyens et méthodes pour réaliser les composants passifs dont nous avons besoin. Nous allons dans un premier temps, étudier des réalisations pour les composants inductifs, puis dans un second temps les composants capacitifs.

### III.1.1 Éléments inductifs

Les moyens de réalisation de micro-bobines pour inductances et transformateurs sont à ce jour relativement variés. Nous allons ici passer brièvement en revue les différentes physiques et géométries qui seraient envisageables pour notre micro-convertisseur.

Plusieurs topologies classiques ont déjà été largement étudiées [Bog03], elles ont chacune leurs avantages et inconvénients, que ce soit d'un point de vue technologique ou des caractéristiques électriques. La figure III.1 présente ces structures classiques.

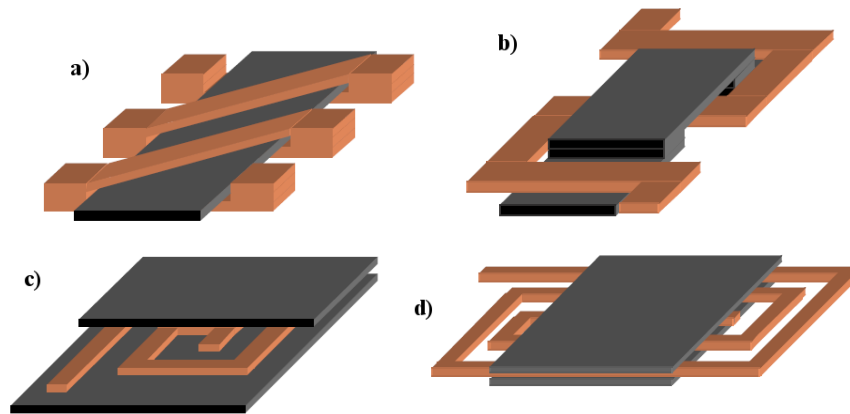


FIG. III.1 – Structures classiques de composants magnétiques pour micro-convertisseurs [Bog03] (a) tore, b) méandre, c) et d) spirales)

La structure de la figure III.2 concerne la réalisation d'un solénoïde en trois dimensions, c'est à dire sur plusieurs niveaux de métallisation. Le bobinage est donc constitué sur deux niveaux reliés par des vias à chaque extrémités des demi-spires.

Sur le même principe, une autre réalisation d'une topologie de type torique a été menée en utilisant des fils de bondings, comme le montre la figure III.3.

Ces réalisations présentent des caractéristiques intéressantes pour des applications RF, l'inductance obtenue étant de l'ordre de quelques nH à quelques dizaines de nH. Cependant, cette structure parait peu adaptée aux applications de conversion d'énergie. Pour l'inductance de la figure III.2, la surface d'une spire est limitée par la hauteur des vias réalisables. De plus, une structure similaire, dont la valeur d'inductance serait plus adéquate vis à vis de notre application, comporterait un nombre bien plus important

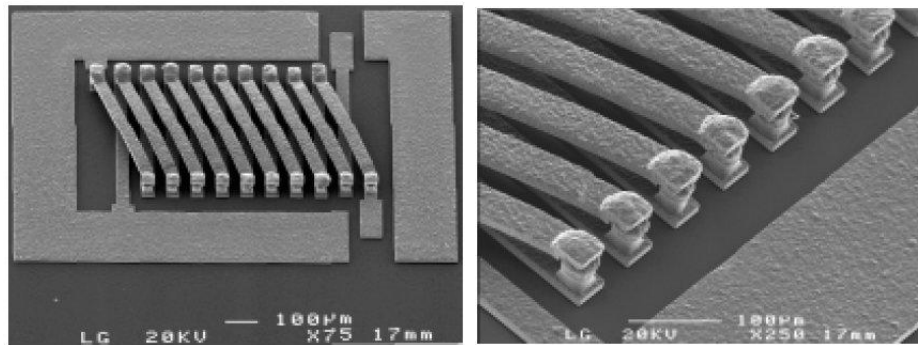


FIG. III.2 – Transformateur solénoïde 3D réalisé sur silicium (2,7 nH et 3,3 mΩ à 6 GHz) [PCB02]

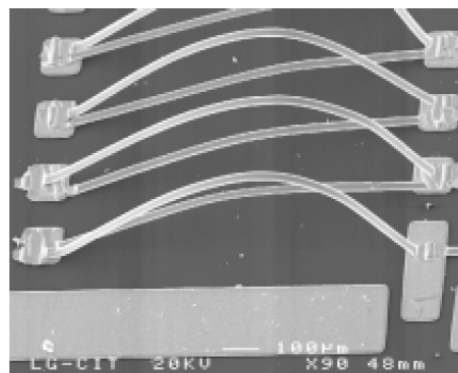


FIG. III.3 – Tore réalisé à l'aide de fils de bondings [PCB02] (section de 0,5mm sur 0,3mm pour 5,5 spires,  $L = 10\text{nH}$  et  $R = 2,6\text{ m}\Omega$  à 5GHz)

de spires. Par conséquent, la résistance de la bobine serait beaucoup trop importante, notamment du fait des vias qui sont généralement plus résistifs que des pistes de même section sur un niveau de métallisation, en raison des problèmes liés à la mauvaise qualité des interfaces entre deux couches.

La deuxième grande famille de micro-inductances présente une topologie planar, c'est à dire que les bobinages sont réalisés sur un seul niveau de métallisation. Ces topologies présentent l'avantage, d'une part, d'être plus simples à réaliser que la précédente, et, d'autre part, l'absence de via permet de garantir une résistance globalement plus faible.

La figure III.4 présente une vue en coupe d'une telle topologie, où les spires ont été recouvertes d'une fine couche de FeNi.

Cette coupe est issue de travaux dont le but était de réaliser des inductances couplées planar, pour une fréquence de travail de 5MHz. L'inductance obtenue fut de 14 nH pour une résistance à 5MHz de l'ordre de 370 mΩ. Pour plus de détails sur cette structure, se reporter à la bibliographie [PSO+04].

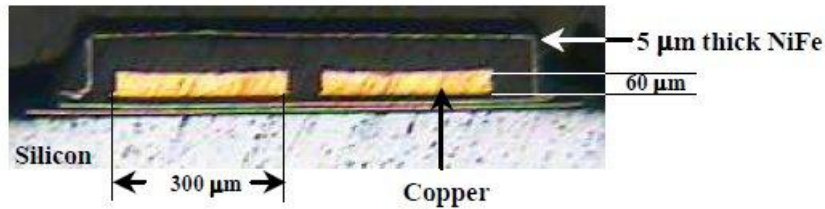


FIG. III.4 – Coupe des bobinages d'inductances couplées planar [PSO+04]

D'autres structures, également planar, sont constituées de pistes en formes de serpents, comme celle présentée figure III.5.

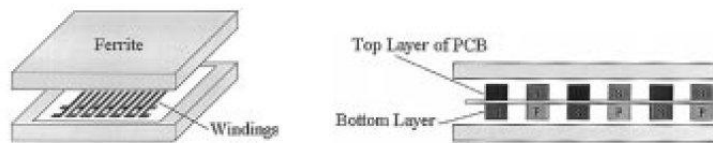


FIG. III.5 – Transformateur planar à bobinages en serpents (32mm x 20 mm) [WL00]

La présence de ferrite de part et d'autre des pistes en serpentins permet d'une part d'augmenter fortement le couplage entre primaire et secondaire (le coefficient de couplage passe de 0,3 dans l'air à environ 0,8 en présence de ferrite), et d'autre part de réduire les émissions électromagnétiques [WL00].

La figure III.6 présente la topologie d'une inductance planar, recouverte au centre d'un circuit magnétique déposé. Ce circuit est feuilleté afin d'offrir une faible reluctance dans la direction du champ magnétique, mais présente une résistance électrique dans la direction perpendiculaire pour limiter les courants au sein de ce circuit magnétique.

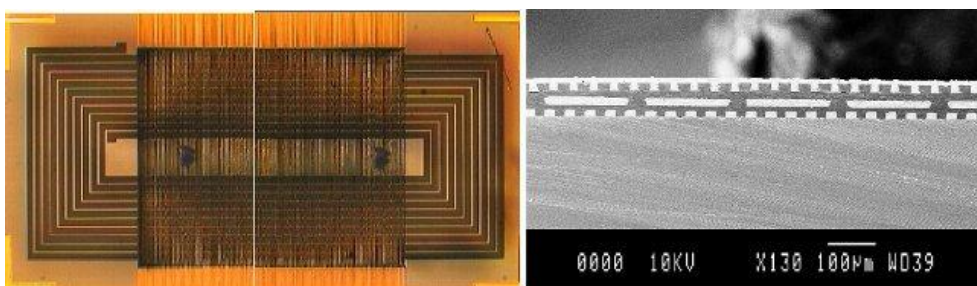


FIG. III.6 – Bobine intégrée  $1\mu\text{H}$  du G2Elab-LAAS (3mm x 7,2mm)

Cet état de l'art nous montre donc que les topologies planar offrent des solutions intéressantes pour notre réalisation.



Au delà de l'aspect simplement structurel que nous venons de présenter, il est nécessaire de prendre en compte des considérations technologiques et des éventuelles difficultés de réalisation. En effet, les structures sur plusieurs niveaux sont plus complexes à réaliser et elles n'ont pas forcément de bonnes caractéristiques vis à vis de notre application de conversion d'énergie. Les aspects technologiques sont donc importants, qui feront d'ailleurs l'objet du 4ème chapitre de ce mémoire, afin de mieux appréhender les difficultés concernant les différentes structures.

Pour conclure sur l'état de l'art des composants inductifs, nous pouvons donner des ordres de grandeurs des valeurs d'inductances et résistances obtenues en pratique d'un point de vue plus général [MOWR05]. En effet, des inductances sur silicium avec circuit magnétique ont atteint des valeurs de 20 à 40  $nH/mm^2$ , pour une résistance inférieure à 1  $\Omega$ . D'autres réalisations ont permis de réduire notablement la résistance DC, qui s'approche de 120  $m\Omega$  pour une inductance de 120 nH. Pour augmenter cette valeur d'inductance, tout en limitant celle de la résistance, des études sur la réalisation de matériaux magnétiques feuilletés sont nécessaires.

Pour compléter ce bref aperçu de ce qui a été fait dans le domaine des micro-inductances, nous vous invitons à vous reporter à la thèse de Philippe Artillan [Art08], qui dresse un bilan détaillé sur ces problématiques.

### III.1.2 Éléments capacitifs

L'intégration des éléments capacitifs est étudiée sur deux voies principales :

- Structure planar
- Structure 3D

Les condensateurs intégrés reposent sur le principe de base qui consiste à mettre en vis-à-vis deux électrodes séparées par un film diélectrique. La valeur de la capacité est donc proportionnelle à la surface des électrodes ainsi qu'à la permittivité relative, et est inversement proportionnelle à l'épaisseur du diélectrique. Elle répond donc à la formule suivante :

$$C = \epsilon_0 \epsilon_R \frac{S}{e}$$

Pour augmenter les valeurs de capacités, il y a donc trois possibilités : augmenter la surface S des électrodes, diminuer l'épaisseur du diélectrique ou augmenter la valeur de la permittivité du diélectrique pour peut que cela ne soit pas au dépend du champ de claquage. Par exemple, la seconde approche est adoptée par la technologie d'AMS utilisée pour la réalisation de nos composants actifs. En effet, la figure II.1 montre la présence de capacité MIM (Metal Insulator Metal), où l'épaisseur de diélectrique est réduite à 28nm, ce qui amène à une capacité surfacique de  $1,25 fF/\mu m^2$ . Une réduction de cette épaisseur n'est pas envisageable car en-deçà de cette valeur, la tension de claquage serait inférieure à la tension nominale d'utilisation du circuit. Cette valeur de capacité surfacique reste

donc très limitée, ce qui nécessite donc de grandes surfaces de silicium pour atteindre des capacités moyennes. Il est donc nécessaire de trouver un autre moyen pour atteindre des capacités surfaciques plus importantes.

Pour une surface de silicium donnée, il est possible d'augmenter la surface des électrodes en exploitant la troisième dimension de l'espace, à savoir l'épaisseur (importante) du silicium, qui est incontournable pour des raisons de tenue mécanique de la puce. Ainsi, la réalisation de tranchées profondes permet d'atteindre cet objectif (figure III.7).

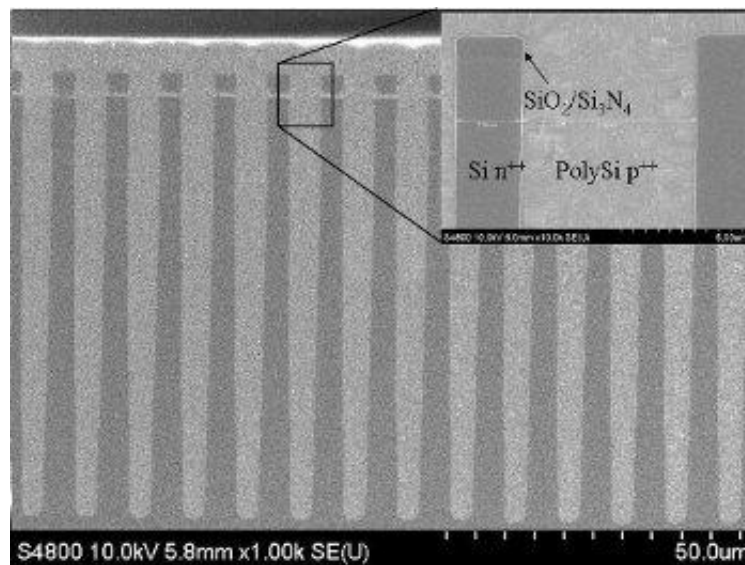


FIG. III.7 – Capacités 3D réalisées au LAAS vue en coupe

Ce type de capacité est réalisé par une première étape de gravure profonde de type DeepRIE (voir chapitre 4), puis d'un dépôt par phase chimique (CVD) d'une fine couche d'isolant, pour finir par un dépôt de polysilicium. Cette structure permet d'atteindre des capacités surfaciques de  $65 \text{ nF/mm}^2$ , grâce au ratio important de la hauteur des tranchées par rapport à leur largeur (de l'ordre de 30). Le diélectrique est composé d'une couche de SiO<sub>2</sub> dans les cas les plus simples mais des diélectriques plus performants peuvent être envisagés [BSGF<sup>+</sup>09]. Cependant, du fait de la nature des électrodes (silicium dopé N++ et polysilicium dopé P++), une résistance série relativement importante ( $0,2 \Omega$  pour une capacité de 593 nF, représentant une surface de 3 mm sur 3mm) pénalise quel que peu cette topologie [BBD<sup>+</sup>07].

Pour intégrer ce type de capacités au sein d'un process CMOS classique, il est possible de les réaliser avant (pré-process), ou après (post-process) le process CMOS classique [BGR<sup>+</sup>05]. Dans le premier cas, les capacités sont réalisées dans le substrat, il faut alors faire attention aux éventuelles interactions entre le substrat et la capacité suivant le potentiel de ces électrodes. Dans le second cas, les tranchées peuvent se faire au même niveau que les couches de métallisation.

Une solution complémentaire à cette dernière pour augmenter les valeurs de capacité surfacique est donc d'utiliser des diélectriques à hautes permittivités, dit "High K". Ces matériaux doivent présenter une permittivité importante, tout en garantissant un champ électrique de claquage suffisant pour permettre de conserver une faible épaisseur entre électrodes. Le tableau III.8 présente une liste de matériaux répondant à ces critères.

Matériau	Constante diélectrique	Eg (eV)
$SiO_2$	3,9	9
$Si_3N_4$	7,8	5,3
$Al_2O_3$	9	8,8
$TiO_2$	80	3,05
$ZrO_2$	25	5,8

FIG. III.8 – Matériaux à permittivité élevée

Ces matériaux doivent cependant être compatibles avec toutes les étapes du process technologique, et doivent présenter de bonnes caractéristiques vis à vis des méthodes de dépôts, comme par exemple l'homogénéité de l'épaisseur.

## III.2 Objectifs

Les caractéristiques géométriques et électriques des composants passifs sont fortement liées à celles des structures actives que sont l'onduleur et le redresseur intégrés sur silicium. Il faut donc que leurs dimensions ne soient pas disproportionnées et que leurs caractéristiques électriques ne réduisent pas de manière trop importante le rendement globale du micro-convertisseur.

Les objectifs des travaux concernant les éléments passifs sont donc, d'une part, de trouver des topologies adéquates vis à vis des puces actives afin de faciliter le packaging de l'ensemble et, d'autre part, de les dimensionner correctement pour limiter leurs résistances tout en assurant des valeurs suffisantes vis à vis du cahier des charges que nous nous sommes défini dans le premier chapitre, à savoir des valeurs d'inductances proches de  $2\mu H$ .

Il est donc nécessaire de nous approcher au maximum des caractéristiques idéales du transformateur et de l'inductance. Pour le premier, l'inductance magnétisante doit tendre vers l'infini afin que son impédance soit très élevée, ce qui limitera le courant absorbé "inutilement" au primaire du transformateur. De plus, les résistances séries des bobinages doivent être nulles pour limiter les pertes Joules. Pour le second, la résistance série doit également être nulle, et l'inductance doit aussi être la plus importante possible, pour limiter les oscillations de courant en sortie de la structure. En présence de circuit magnétique, ce dernier ne doit pas présenter de pertes, que ce soit par courants de Foucault, ou par hystérésis.

Pour illustrer les effets de différents couples de valeurs d'inductance et de résistance, nous allons nous appuyer sur un circuit simple composé d'une source de tension carrée, d'une résistance et d'une inductance en série (figure III.9). La résistance  $R_C$  en parallèle de l'inductance représente une charge.

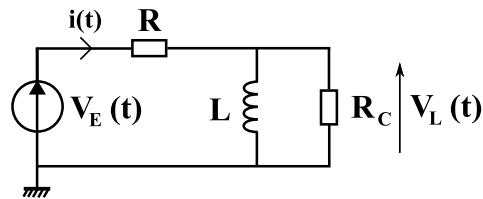


FIG. III.9 – Circuit RL série avec charge représentant une vue simplifiée du transformateur

Ce circuit représente donc de manière très simplifiée la structure de conversion entre la sortie de l'onduleur et la charge, en se focalisant uniquement sur le transformateur (le secondaire, le redresseur et la charge sont modélisés par la résistance  $R_C$ ). L'inductance de ce circuit représente donc l'inductance magnétisante de notre transformateur et la résistance est celle du bobinage primaire. Si la valeur d'inductance est trop faible par rapport à la résistance  $R$  et à la fréquence de la tension carrée appliquée au circuit R-L, alors la tension aux bornes de l'inductance ne peut pas être maintenue durant toute la demi-période (voir figure III.10). Dans ce cas, la puissance en sortie est fortement réduite.

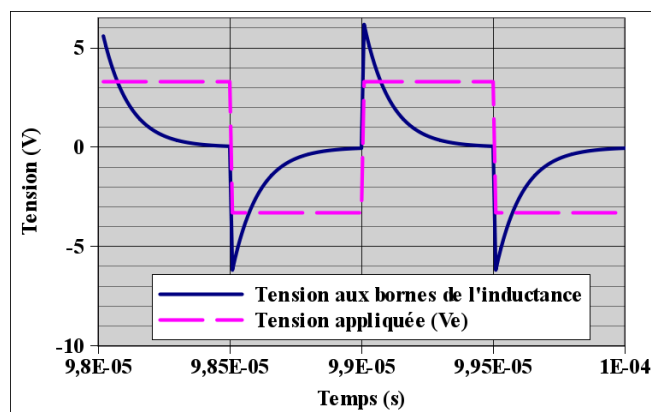


FIG. III.10 – Formes d'ondes pour un rapport  $L/R$  trop petit ( $L = 0,01 \mu\text{H}$ ,  $R = 0,1 \Omega$ ,  $f = 1 \text{ MHz}$ )

Il faut donc que la constante de temps du circuit R-L série soit suffisamment élevée par rapport à la fréquence de fonctionnement pour que la tension soit stable durant chaque demi-période, ce qui conduit à une constante de temps  $L/R$  supérieure d'environ 5 fois la période de commutation (voir figure III.11).

En outre, dans notre cas, le courant absorbé par l'inductance (magnétisante) est encore assez élevé, ce qui signifie que vis-à-vis du courant, ce critère n'est pas encore suffisant.

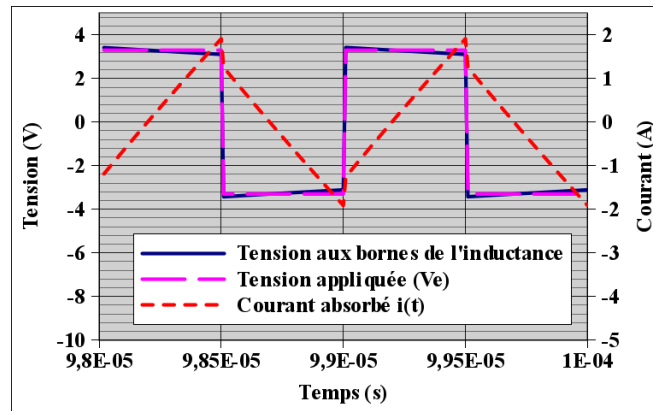


FIG. III.11 – Formes d’ondes pour un rapport  $L/R$  égal à 5 fois la période de commutation ( $L = 0,5 \mu\text{H}$ ,  $R = 0,1 \Omega$ ,  $f = 1 \text{ MHz}$ )

Pour limiter ce courant magnétisant maximal au niveau du courant nominal, il faut fixer un critère sur la valeur d’inductance, par rapport à la relation fondamentale entre courant et tension pour une inductance.

$$u = L \frac{di}{dt} \Rightarrow L_{\min} = 3,3 \frac{0,5 \cdot 10^{-6}}{0,6} = 2,75 \mu\text{H}$$

Ainsi, pour une valeur d’inductance magnétisante de  $2,75 \mu\text{H}$ , pour une demi-période à  $1 \text{ MHz}$  et pour une tension carrée d’amplitude  $3,3\text{V}$ , la variation de courant se limite à  $0,6 \text{ A}$  ce qui reste raisonnable vis-à-vis du courant nominal. Ces valeurs sont d’ailleurs tout à fait cohérentes par rapport aux premiers résultats du pré-dimensionnement du premier chapitre où la valeur optimale d’inductance magnétisante était environ égale à  $2 \mu\text{H}$ .

Vis-à-vis des notions mentionnées dans ce paragraphe, nos efforts de dimensionnement vont donc s’orienter vers des valeurs d’inductance les plus élevées possibles, pour des valeurs de résistance les plus faibles réalisables. À ce titre, le critère majeur de dimensionnement le plus adapté nous paraît être le rapport  $L/R$  que nous devons donc maximiser. Afin de ne pas créer des pertes Joules trop importantes, nous allons également nous diriger vers des dimensionnements dont la résistance est proche de  $0,1 \Omega$  par bobinage, ce qui représente tout de même environ 1 point de rendement en moins par enroulement à puissance nominale.

### III.3 Conception du micro-transformateur et de l’inductance

La réalisation pratique de ces deux composants est très similaire, car pour une topologie donnée, la façon de réaliser une bobine (dans le cas de l’inductance) ou deux bobines (dans le cas du transformateur) est identique. Il en est de même pour l’éventuel circuit magnétique qui est réalisé de la même manière dans les deux cas.

La structure du transformateur et de l’inductance est donc identique, mais quelques détails sont cependant différents concernant leur dimensionnement.

### III.3.1 Critères de dimensionnement relatifs au transformateur

Dans le cas du transformateur, il est nécessaire de tenir compte du fait que le courant circulant au primaire et au secondaire ne comportent pas de composante continue. En effet, le spectre de ces courants est composé du fondamental à la fréquence de découpage, ainsi que des harmoniques aux multiples impairs du fondamental (voir figure III.77). Dans la mesure où il n'y a pas de composante continue, il n'est pas nécessaire de dimensionner les bobines du transformateur vis à vis de la résistance continue, mais de la résistance à la fréquence du fondamental.

Ainsi, notre critère de dimensionnement, qui est basé sur le rapport  $L/R$ , sera calculé à partir de la résistance vue par le fondamental de la fréquence choisie, à savoir 1 MHz.

### III.3.2 Critères de dimensionnement relatifs à l'inductance

En ce qui concerne l'inductance, son dimensionnement vis à vis de la résistance DC est importante puisque ce composant voit principalement une composante continue. Suivant la valeur du rapport cyclique de commande de l'onduleur, le contenu fréquentiel peut être tout de même relativement riche (voir figure III.79), ce qui ne permet pas de négliger complètement les effets de peau.

### III.3.3 Méthodes de conception

L'état de l'art passé en revue au début de ce chapitre nous a donc montré les avantages et inconvénients des différentes solutions présentées. Vis-à-vis de la relative simplicité de mise en oeuvre des structures planar et des valeurs d'inductance et de résistance réalisables, nous avons choisi cette topologie. De plus, cette topologie simplifie l'intégration des composants inductifs avec le reste du micro-convertisseur, que ce soit une intégration hybride ou monolithique, comme nous pourrons le voir par la suite.

Pour déterminer la géométrie des spirales, nous avons ciblé deux stratégies : la première consiste à étudier des spirales à largeur de spire constante, la seconde se base sur des largeurs de spires variables. Pour ces deux méthodes, plusieurs paramètres seront rendus variables pour optimiser l'ensemble. Par exemple, la forme, la largeur des spires, la distance inter-spires, la hauteur des spires seront les paramètres que nous voulons étudier. Nous allons donc maintenant détailler ces deux méthodes.

Dans un premier temps, ces dimensionnements portent sur des structures dépourvues de circuit magnétique. Ce choix s'explique par notre volonté de focaliser l'étude sur les caractéristiques des bobinages seuls. De plus, la détermination analytique de l'inductance d'une géométrie donnée est plus simple en l'absence de circuit magnétique, comme nous allons le voir par la suite. Dans un second temps, l'étude de l'influence du circuit magnétique sera menée, ce qui nous permettra de comparer les deux cas.

### III.3.3.1 Spirales « classiques »

Pour déterminer simplement les caractéristiques électriques d'une topologie en spirales planar en fonction des données géométriques qui la caractérisent, nous utilisons des résultats de calcul donnant les valeurs d'inductance pour différentes formes de spirales (figure III.12) dans l'air [MdMHL99].

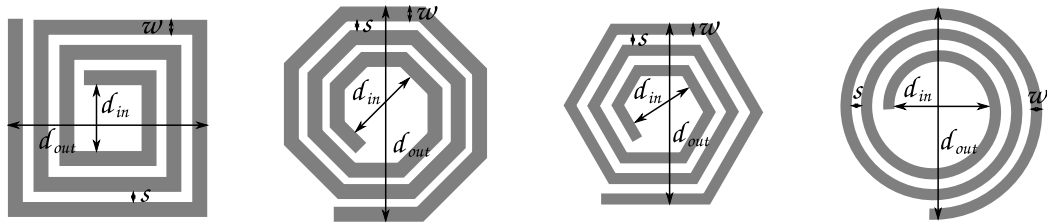


FIG. III.12 – Topologies de spirales

L'expression générique de l'inductance ainsi que les coefficients  $c1$ ,  $c2$ ,  $c3$ ,  $c4$  pour les différentes formes de spirales sont donnés figure III.13.

$$L = \frac{\mu_0 N^2 d_{avg} c1}{2} \left( \ln(c2/\rho) + c3\rho + c4\rho^2 \right)$$

$$d_{avg} = \frac{d_{out} + d_{in}}{2} \quad \rho = \frac{d_{out} - d_{in}}{d_{out} + d_{in}}$$

Forme	c1	c2	c3	c4
Carrée	1,27	2,07	0,18	0,13
Hexagonale	1,09	2,23	0	0,17
Octogonale	1,07	2,29	0	0,19
Circulaire	1	2,46	0	0,2

FIG. III.13 – Expression et coefficients pour le calcul analytique de l'inductance

Pour choisir la topologie la plus adaptée à nos objectifs, nous avons considéré deux principaux critères. Premièrement, les angles présents dans les topologies carrée, hexagonale et octogonale ne favorisent pas une répartition homogène du courant dans le conducteur au niveau de ces angles. En effet, il est très probable que les lignes de courant s'accumulent à l'intérieur de l'angle, augmentant de fait la densité de courant à l'intérieur par rapport à l'extérieur, ce qui a pour conséquence une augmentation de la résistance des spires. De plus, pour un encombrement donné et une géométrie identique, la structure circulaire permet d'obtenir un rapport L/R meilleur que les autres structures, comme nous allons le voir tout de suite.

Pour vérifier que la forme circulaire est effectivement celle pour laquelle le rapport L/R est maximal à encombrement équivalent (diamètre externe = 1,12mm, largeur de spire = 100 $\mu$ m, hauteur de spire = 10 $\mu$ m, distance inter-spire = 10 $\mu$ m), nous avons calculé l'inductance ainsi que la résistance d'une spire de forme carrée et circulaire (la résistance est calculée analytiquement à partir de la longueur de la spirale dite d'Archimède, dont l'équation polaire est de type  $\rho = a.\theta$ ) :

	Spire carrée	Spire circulaire
Inductance	2,116 nH	1,753 nH
Résistance	66,5 mΩ	53 mΩ
L/R	3,18.10 <sup>-8</sup> H/Ω	3,29.10 <sup>-8</sup> H/Ω

FIG. III.14 – Rapport L/R en fonction de la forme de spirale

Bien que l'inductance d'une spire circulaire soit plus faible que celle d'une spire carrée, le périmètre de celle-ci est également plus faible pour la topologie circulaire. Au final, le rapport L/R d'une topologie circulaire est sensiblement plus grand que pour une topologie carrée.

Nous nous sommes également posés la question de savoir s'il fallait remplir l'intérieur de la spirale jusqu'au centre. En effet, une fois que l'on a fixé le diamètre externe de la spirale, les spires internes présentent une surface de plus en plus faible à l'approche du centre, diminuant ainsi l'inductance propre de celles-ci. En revanche, leur résistance diminuant également, le rapport L/R varie sensiblement. La courbe figure III.15 présente l'évolution du rapport L/R en fonction du nombre de spires, pour une topologie circulaire, dont le diamètre externe est fixé à 2,12mm (largeur de spire = 100μm, hauteur = 10μm, distance inter-spire = 10μm).

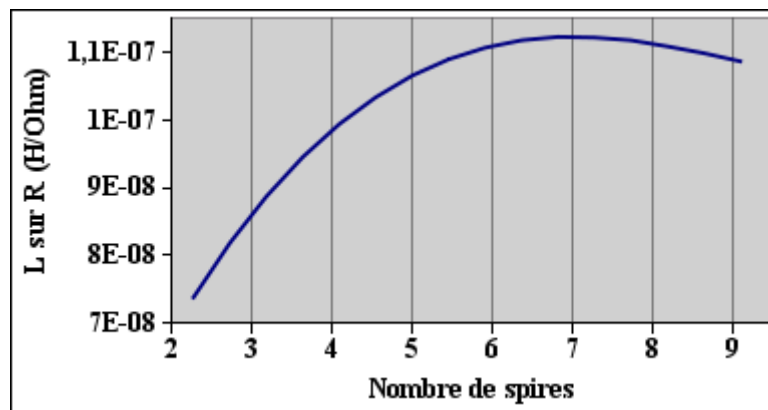


FIG. III.15 – Évolution du rapport L/R en fonction du remplissage intérieur de la spirale

On note, dans notre exemple, qu'au delà de 7 spires, le rapport L/R amorce une décroissance, 9 spires étant la valeur pour laquelle la spirale continue jusqu'au centre. Les deux spires internes apportent donc plus de résistance que d'inductance, il n'est donc pas nécessaire de compléter la spirale jusqu'au centre.

Alors, pour valider l'exactitude de ces formules, nous pouvons comparer les résultats de ces calculs analytiques aux résultats que nous donne des simulations par éléments finis Flux2D, figure III.16. La géométrie commune des spirales comparées est la suivante : largeur de spire = 28,5μm, hauteur = 4μm, rayon interne = 50μm, rayon externe = 300μm.



	Résultats analytiques (DC)			Simulation Flux2D (DC)			Simulation Flux2D (100MHz)		
	$L$ (nH)	$R_{DC}$ ( $\Omega$ )	$L/R_{DC}$ (nH/ $\Omega$ )	$L$ (nH)	$R$ ( $\Omega$ )	$L/R$ (nH/ $\Omega$ )	$L$ (nH)	$R$ ( $\Omega$ )	$L/R$ (nH/ $\Omega$ )
$D_{ISP} = 3\mu m$ N = 8 spires	19	1,4	13,57	18,4	1,5	12,27	18	2,1	8,57
$D_{ISP} = 16\mu m$ N = 6 spires	10,5	1,1	9,55	10,4	1,16	8,97	10,2	1,36	7,5

FIG. III.16 – Tableau de comparaisons de résultats analytiques et simulations

Ces données nous montrent plusieurs choses : d'une part, les calculs analytiques et les résultats de simulations en continu sont très proches, ce qui nous permet de valider cette approche analytique, et d'autre part, les calculs analytiques ne prennent pas en compte les effets de peau et de proximité, ce qui entraîne un écart avec la résistance réelle plus ou moins important en fonction de la distance entre les spires. Ce calcul analytique est donc limité vis à vis de la résistance car celle-ci dépend de la fréquence et des distances inter-spires.

Une première topologie de spirale circulaire a ainsi été dimensionnée afin d'offrir une inductance supérieure à  $1\mu H$  et une résistance qui soit compatible avec notre cahier des charges. La figure III.17 montre les caractéristiques géométriques ainsi que les valeurs d'inductance et de résistance calculées analytiquement.

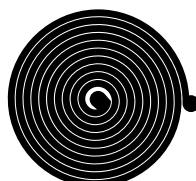
	Largeur de spire	1 mm	Calcul analytique	
	Distance inter-spire	150 $\mu m$		
	Diamètre externe	26 mm		
	Épaisseur pistes	35 $\mu m$		
	Inductance	1,24 $\mu H$		
	Résistance DC	246 m $\Omega$		

FIG. III.17 – Topologie spirale simple circulaire, caractéristiques géométriques et électriques

Les caractéristiques géométriques de ce prototype ont été élaborées par rapport à plusieurs critères. Tout d'abord, nous voulions un premier démonstrateur qui permette d'obtenir des grandeurs électriques mesurables avec une certaine précision. Il a donc fallu choisir une taille suffisamment importante pour atteindre des valeurs d'inductance, de résistance, et de capacités (voir paragraphe sur la modélisation capacitive) assez élevées, pour ne pas s'approcher des valeurs minimales mesurables avec l'équipement à notre disposition.

De plus, en ce qui concerne l'étude du remplissage de la spirale jusqu'au centre mené précédemment, la simple présence du pad central ne permet pas un remplissage total. En effet, l'étude présentée supposait la possibilité de remplir la spirale jusqu'au bout. Or, le pad central l'en empêche et, dans la mesure où l'optimal est proche du remplissage total, le fait d'avoir dessiné des spires jusque proche du pad permet de se situer aux alentours de l'optimal.

Pour mesurer les caractéristiques d'un transformateur dont les bobines primaire et secondaire seraient constituées de cette topologie, nous avons choisi de le faire réaliser sur Kapton d'épaisseur  $25\mu\text{m}$ , cuivré double face ( $35\mu\text{m}$  d'épaisseur de cuivre sur chaque face). Cette réalisation a été confiée à la société Cibiel.

Le choix de ces épaisseurs a bien entendu été dicté d'une part vis à vis du couplage entre primaire et secondaire et, d'autre part, vis à vis de la résistance des bobinages. Ainsi, l'épaisseur de Kapton devait donc être la plus faible possible et celle de cuivre la plus grande possible par rapport à la précision voulue. Au-delà des  $35\mu\text{m}$  d'épaisseur de cuivre, il n'était pas possible d'atteindre une précision de  $150\mu\text{m}$ .

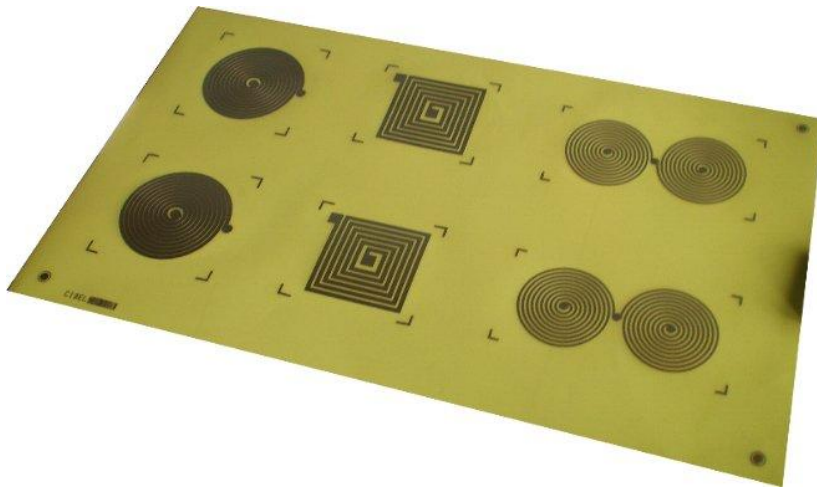


FIG. III.18 – Photo des macro-transformateurs planars réalisés par Cibiel

Pour en revenir à la première topologie de transformateur proposée figure III.17, nous pouvons déjà noter que pour obtenir des grandeurs électriques proches de celles souhaitées, la taille de notre spirale dans l'air est bien trop importante pour intégrer ce transformateur dans le convertisseur. Cependant, même si les grandeurs géométriques ne sont pas satisfaites par rapport à notre cahier des charges, cela nous permet d'avoir un premier dispositif sans circuit magnétique dont les valeurs électriques sont proches de celles souhaitées.

Pour manipuler sans risquer de détériorer le prototype, nous l'avons fixé entre deux plaques de plexiglas (figure III.19). Par ailleurs, cette approche assure une prise de contact à l'aide de vis, évitant la soudure.

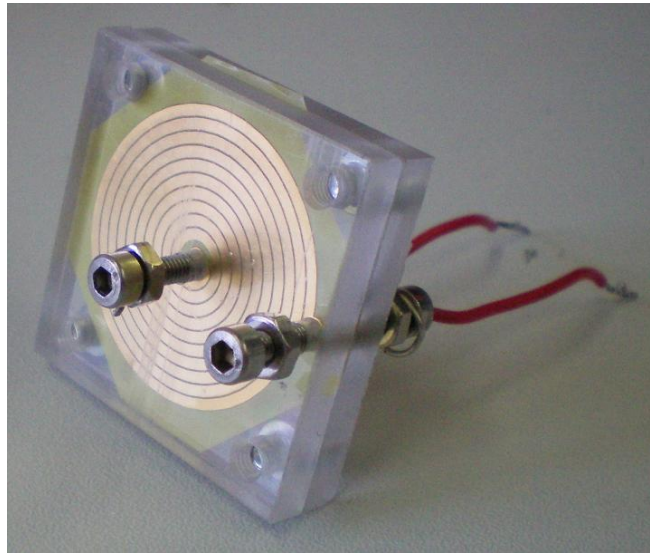


FIG. III.19 – Transformateur circulaire simple sous plexiglass

Les mesures réalisées au pont d'impédance Agilent 4294A nous donnent les courbes figure III.20.

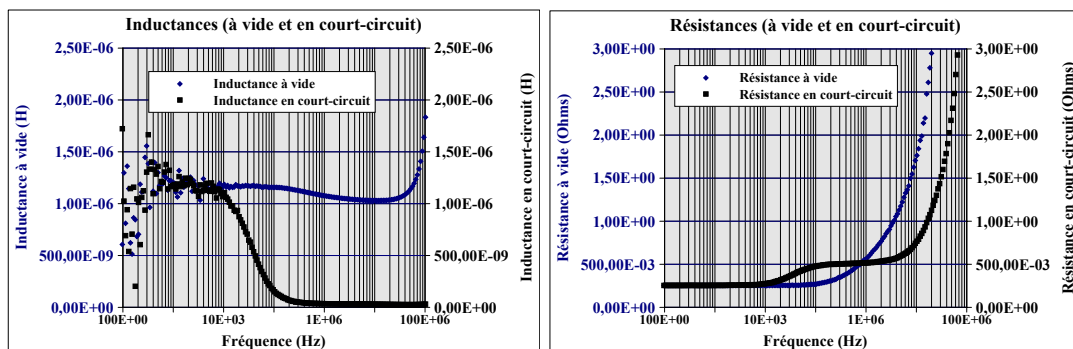


FIG. III.20 – Mesures au pont d'impédance du transformateur à simple spirale

Nous pouvons extraire de ces courbes les caractéristiques suivantes, basées sur le modèle présenté figure III.42, page 112 :

Résistance des bobinages	Inductance magnétisante	Coefficient de couplage	Inductance de fuite
570mΩ	1,08μH	0,97	35nH

FIG. III.21 – Tableau des valeurs caractéristiques du transformateur circulaire simple à 1MHz

Ainsi, on peut noter que la résistance des spirales est bien plus grande que celle souhaitée, du fait de l'effet de peau non négligeable à 1MHz. Celui-ci est de  $65 \mu\text{m}$  dans le cuivre à cette fréquence alors que la largeur des spires est de 1 mm, ce qui est bien au-delà de deux fois l'épaisseur de peau. En s'approchant des limites fixées par les possibilités technologiques, à savoir une côte minimale de  $150 \mu\text{m}$ , il est cependant possible de diminuer sensiblement les pertes dans le bobinage. En effet, à 1MHz, à cause du seul effet de peau, le courant circule dans une section identique pour des largeurs de spire supérieures à 2 fois l'épaisseur de peau (c'est donc le cas pour des largeurs de spires de  $150 \mu\text{m}$  et 1 mm). En revanche, dans le cas des inductances ou transformateurs planar à air, le champ magnétique traverse les conducteurs, ce qui génère des pertes supplémentaires du fait des courants induits. Ainsi, une largeur de spire plus importante génère des pertes plus élevées, ce qui est gênant dans le cas de l'inductance, où le critère d'une résistance en continu la plus faible possible implique une largeur de spire importante. Toutefois, ceci est à modérer car, dans bien des cas, ce sont les pertes en continu qui sont prépondérantes.

Pour le transformateur, pour lequel la résistance DC n'est pas dimensionnante, il est possible de diminuer la largeur de piste. Cependant, pour cette technologie là, si on veut diminuer cette largeur en-deçà de  $150 \mu\text{m}$ , il est nécessaire de réduire l'épaisseur de cuivre pour assurer une bonne précision. Cette contrainte a donc les mêmes conséquences que l'effet de peau, puisque dans les deux cas, la résistance est plus importante.

Avec une telle topologie de bobine à air, nous arrivons donc à une certaine limite, puisque pour augmenter l'inductance, chaque spire supplémentaire rajoute une résistance de plus en plus grande.

Pour tenter de remédier à ce problème, nous avons exploré une autre piste qui consiste à subdiviser cette bobine en deux demi-bobines. De cette manière, pour un nombre de spires identique, les longueurs de celles-ci seront plus petites, réduisant de fait la résistance totale. En revanche, le diamètre moyen de chaque demi-bobine étant plus faible, le flux vu par celles-ci sera plus faible, diminuant par conséquent également l'inductance. L'idée de cette topologie est cependant de profiter du couplage qu'il existe entre les deux demi-bobines pour augmenter le flux vu par les bobines. Deux variantes ont été étudiées : une spirale double en 8 (le sens de bobinage des deux demi-bobines est opposé) et une spirale en lunettes (le sens de bobinage des deux demi-bobines est identique).

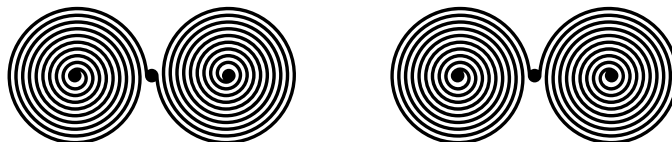


FIG. III.22 – Spirales doubles en « 8 » (à gauche) et en « lunettes » (à droite)

Dans le cas de la variante en 8, le couplage entre les deux demi-bobines est additif, ce qui a pour effet d'augmenter le flux vu par celles-ci. Au contraire, les deux demi-

bobines de la variante en lunettes créés des champs magnétiques qui s'opposent, réduisant de fait l'inductance totale. Il est cependant intéressant d'étudier ce cas pour quantifier les interactions entre bobines à air dans le cadre des réseaux de micro-convertisseurs, où celles-ci seront amenées à être proches les unes des autres. Dans un premier temps, l'étude sera conduite dans l'air même si le couplage risque d'être très limité. Dans un second temps, nous observerons l'évolution du couplage en présence de circuit magnétique.

Nous avons donc réalisé sur Kapton ces deux topologies, dont les caractéristiques sont mentionnées tableau III.23.

Largeur de spire	500 $\mu\text{m}$	Calcul analytique	
Distance inter-spire	500 $\mu\text{m}$		
Diamètre externe	20 mm		
Épaisseur pistes	35 $\mu\text{m}$		
		Inductance	770 nH
		Résistance DC	344 m $\Omega$

FIG. III.23 – Caractéristiques des demi-bobines constituant les bobines doubles

Les mesures réalisées au pont d'impédance donnent les résultats présentés figure III.24.

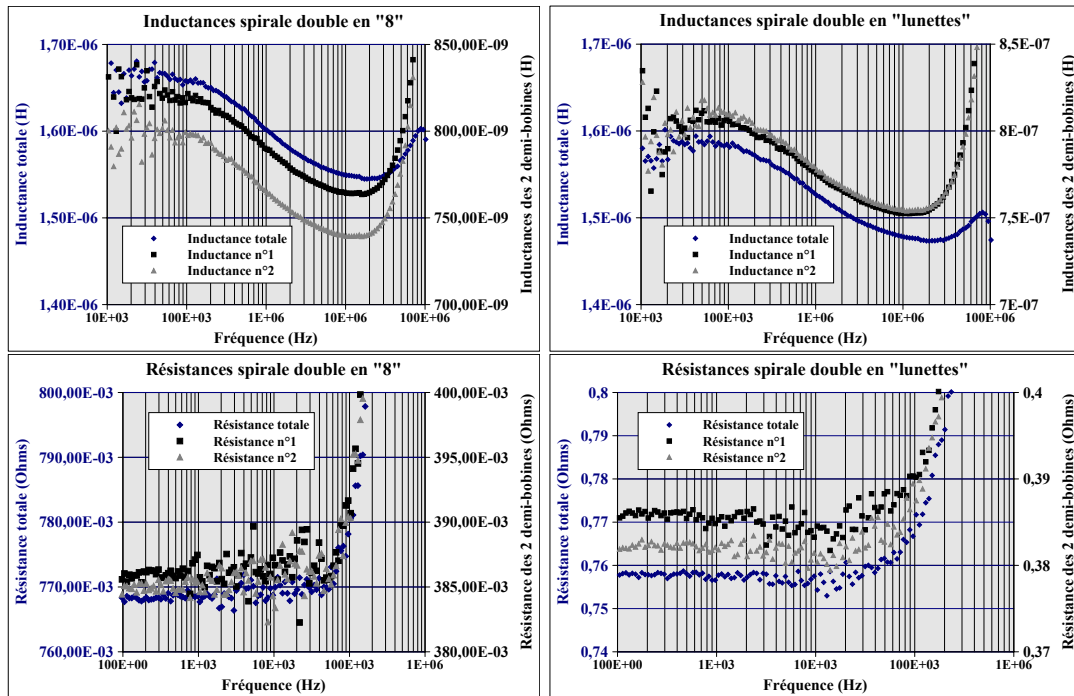


FIG. III.24 – Mesures au pont d'impédance des transformateurs à doubles spirales

Dans le cas de la spirale double en 8, il est intéressant d'observer que l'inductance totale des deux demi-bobines est supérieure à la somme des inductances séparées de chacune des demi-bobines. Au contraire, les spirales en lunettes présentent une inductance totale plus faible que la somme de ces deux demi-bobines, car les champs magnétiques générés par

chacune d'entre elles se retranchent partiellement, ce qui diminue le champ vu par les bobines et donc diminue leurs inductances.

L'écart sur les valeurs des résistances est dû aux conditions de mesures, à savoir qu'il est difficile d'assurer la même qualité de contact d'un essai à l'autre, ce qui modifie sensiblement la résistance de contact.

Nous voyons donc que l'intérêt des spirales doubles dans l'air est limité. Étudions maintenant ces mêmes spirales en rajoutant une plaque de circuit magnétique de chaque côté des spirales, comme le montre la figure III.25.

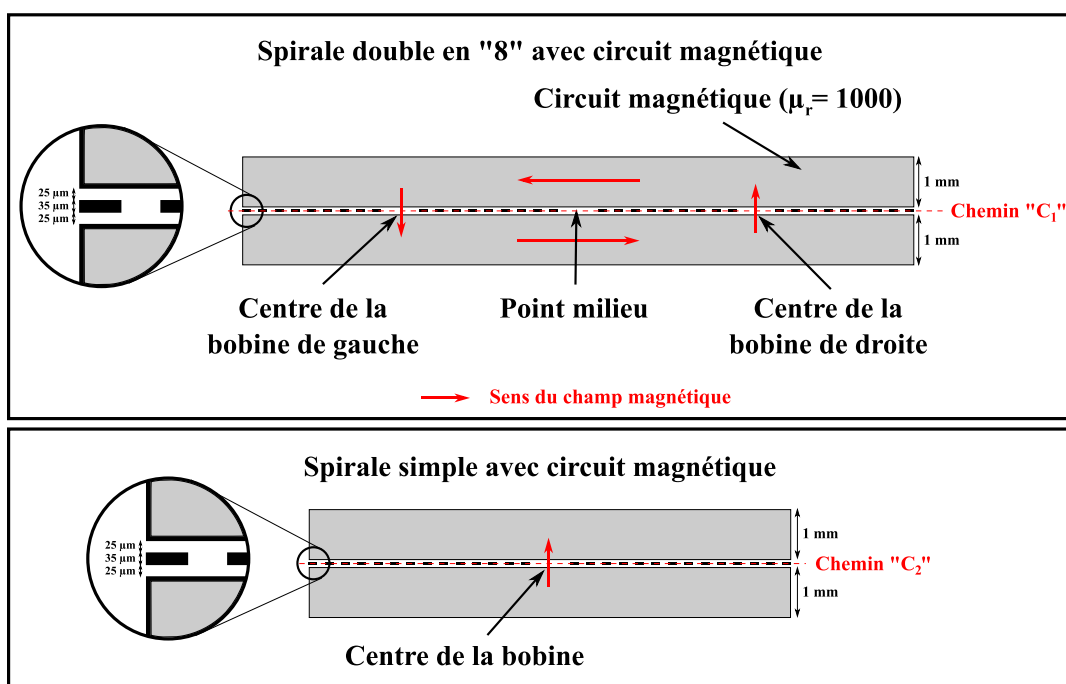


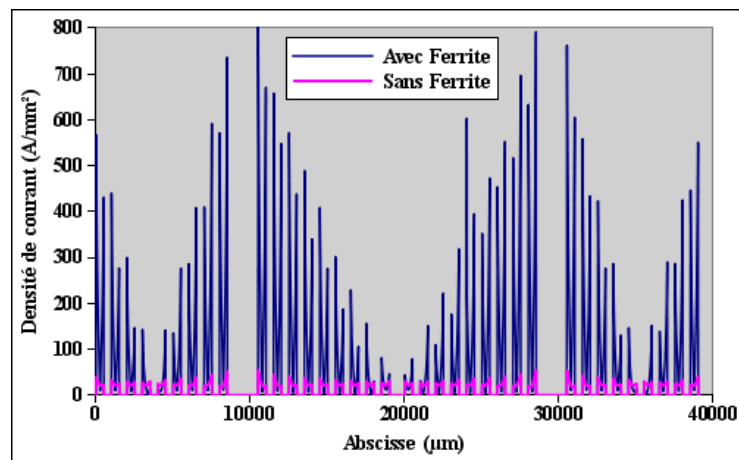
FIG. III.25 – Géométrie des spirales doubles et simple avec circuit magnétique

Les résultats des simulations Flux2D présentés figure III.26 nous enseignent plusieurs choses. La première est que la présence du circuit magnétique ( $\mu_R = 1000$ ) augmente considérablement la valeur de l'inductance, ce qui n'est pas surprenant. La seconde est que la résistance augmente elle aussi, de manière assez importante suivant la fréquence considérée. En effet, le circuit magnétique augmente le niveau d'induction magnétique vu par les spires, ce qui accroît l'effet de proximité, et par conséquent augmente la non homogénéité du courant au sein de la spire. Ce phénomène est bien entendu de plus en plus marqué en fonction de la fréquence.

L'augmentation de la résistance des conducteurs à 1 MHz en présence de ferrite peut s'observer par la répartition du courant dans les spires, figure III.27. Ces résultats ont été obtenus en appliquant un courant égal dans les deux cas.

		10 kHz	100 kHz	1 MHz
L	Sans Ferrite	1,67 $\mu\text{H}$	1,67 $\mu\text{H}$	1,66 $\mu\text{H}$
	Avec Ferrite	98,8 $\mu\text{H}$	96,3 $\mu\text{H}$	81,7 $\mu\text{H}$
R	Sans Ferrite	0,54 $\Omega$	0,54 $\Omega$	0,6 $\Omega$
	Avec Ferrite	0,58 $\Omega$	4,29 $\Omega$	32,5 $\Omega$
L/R	Sans Ferrite	3, $1.10^{-6} H/\Omega$	3, $1.10^{-6} H/\Omega$	2, $8.10^{-6} H/\Omega$
	Avec Ferrite	170, $3.10^{-6} H/\Omega$	22, $4.10^{-6} H/\Omega$	2, $5.10^{-6} H/\Omega$

FIG. III.26 – Tableau de résultats de simulation Flux de la spirale en 8

FIG. III.27 – Densités de courant dans les spires de la double spirale en 8 à 1 MHz (sur le chemin "C<sub>1</sub>")

Pour chiffrer l'avantage que peuvent avoir ces spirales doubles par rapport à une structure en spirale simple, comparons ces structures à une spirale simple dont la valeur de résistance totale est identique. À largeur de spire, distance inter-spires, hauteur de spire identiques, il est nécessaire d'augmenter le diamètre externe d'une demi-bobine de 20 mm à 29 mm pour atteindre une résistance de 0,69  $\Omega$  (la résistance totale d'une bobine simple de 29 mm de diamètre est alors égale à la résistance totale d'une spirale double dont les demi-bobines font chacune 20 mm de diamètre), le nombre de spires passe ainsi de 2 fois 9 spires à 14 spires, l'inductance vaut alors 2,27  $\mu\text{H}$ . Il apparaît donc que, dans l'air, le gain sur l'inductance n'est pas suffisant (dans le cas de la structure en 8) pour présenter une valeur de L/R meilleure que celle d'une structure circulaire simple. Le tableau III.28 présente les valeurs d'inductance et de résistance d'une telle spirale simple avec et sans circuit magnétique.

La comparaison des rapports L/R à 1 MHz, des structures double et simple, avec et sans ferrite, nous permet de dire que la structure simple est plus adaptée à notre application que la spirale double dans l'air (dont les rapports L/R sont respectivement de 3,  $25.10^{-6} H/\Omega$  contre 2,  $8.10^{-6} H/\Omega$ ), alors qu'en présence de circuit magnétique, la spirale double présente un meilleur L/R que la spirale simple (respectivement 2,  $5.10^{-6} H/\Omega$  contre

	L	R	L/R
Sans Ferrite	2,27 $\mu\text{H}$	0,698 $\Omega$	3,25.10 <sup>-6</sup> $H/\Omega$
Avec Ferrite	80,8 $\mu\text{H}$	56,6 $\Omega$	1,43.10 <sup>-6</sup> $H/\Omega$

FIG. III.28 – Tableau de résultats de simulations Flux de la spirale simple à 1 MHz (sur le chemin "C<sub>2</sub>")

1,43.10<sup>-6</sup>  $H/\Omega$ ). En effet, dans le cas de la spirale double avec circuit magnétique, l'effet de proximité est important sur les spires intérieures (les plus petites), ce qui augmente la résistance dans une certaine mesure. Concernant la spirale simple, l'effet de proximité est plus important sur les spires extérieures, les plus grandes, ce qui augmente d'autant plus la résistance de ces spires, comme le montre la figure III.29.

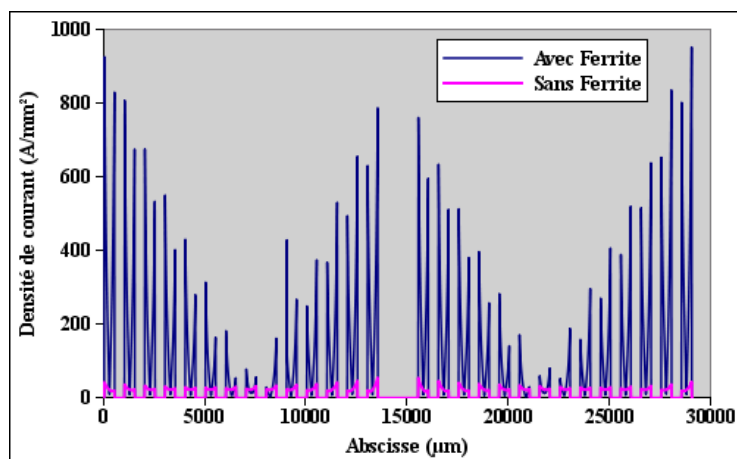


FIG. III.29 – Densités de courant dans les spires de la spirale simple à 1 MHz

D'autre part, nous pouvons donc conclure, pour ce qui concerne la spirale double en 8, que la présence du circuit magnétique est souhaitable jusqu'à 1MHz afin d'obtenir un gain sur le rapport L/R. Dans notre cas, au-delà de 1MHz, le rapport L/R est meilleur dans l'air qu'en présence de circuit magnétique.

Ces bobines doubles permettent en outre de disposer d'une structure dont le point milieu est accessible facilement, ce qui autorise son utilisation dans des structures où il est nécessaire d'accéder à ce point milieu. Cette topologie présente ainsi une symétrie d'un point de vue résistif, inductif et capacitif, ce qui n'est pas le cas de la spirale simple. En effet, il est possible de déterminer un "point milieu" pour une spirale simple, mais ce point milieu ne peut être le même si l'on considère la résistance ou l'inductance, car l'évolution de ces deux grandeurs en fonction du nombre de spire n'est pas similaire.



### III.3.3.2 Spirales à largeur variable

Le type de conception présenté ci-dessus considère donc une largeur de spire constante, dimensionnée principalement vis-à-vis de l'épaisseur de peau à la fréquence considérée. Cette méthode impose ainsi un nombre de spires par rapport à l'inductance voulue, la résistance du bobinage étant une grandeur qui découle de ce dimensionnement. L'idée ici est de partir d'une résistance donnée par spire, puis de déterminer le nombre total de spires en considérant une valeur limite à ne pas dépasser.

Cette deuxième méthode implique une largeur de spire croissante en fonction du rayon de celle-ci afin de compenser la variation de la résistance liée à l'allongement de la spire par une variation de la largeur de la spire. Cette approche est particulièrement intéressante pour l'inductance dont la résistance DC totale sera effectivement réduite pour un nombre de spire donné. En ce qui concerne le transformateur, le gain est moins évident, puisqu'à la fréquence de fonctionnement, l'effet de peau va pénaliser la résistance des spires les plus larges.

De plus, et c'est là son intérêt principal, cette méthode présente l'avantage de mieux utiliser le volume du conducteur sur l'ensemble du bobinage. En effet, en l'absence de circuit magnétique, la concentration du champ magnétique au centre du bobinage génère une plus mauvaise répartition du courant au sein des spires centrales que pour les spires périphériques, comme le montre la simulation sous Flux2D figure III.30. Cette simulation a été réalisée sur une structure prévue pour être utilisée à 100 MHz, contrairement aux précédentes qui sont adaptées à une fréquence de 1 MHz. En effet, ce paragraphe sur les spirales à largeurs variable présente une méthode de dimensionnement, et à cette occasion, nous avons choisi de l'appliquer à une gamme de fréquence supérieure pour se rendre compte des grandeurs caractéristiques à ces fréquences (effet de peau, valeurs géométriques, ordre de grandeur des inductance et résistance réalisables, etc). De plus, le matériau constituant les conducteurs a été choisi vis-à-vis des dimensions géométriques typiques de ces composants qui peuvent donc être intégrés sur silicium. Ainsi, nous avons réalisé cette étude avec des conducteurs en aluminium. Ce raisonnement reste bien entendu strictement identique pour les autres gammes de fréquence.

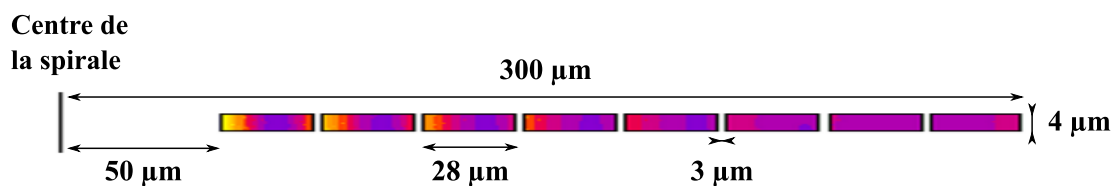


FIG. III.30 – Répartition du courant dans un dimensionnement classique à 100 MHz (à air)

La première étape est la détermination de la progression de la largeur des spires pour assurer une résistance par spire constante, l'idéal étant de trouver le critère qui permette

de donner la largeur optimale pour chaque spire vis à vis de l'effet de peau et de proximité, ce qui est beaucoup plus complexe.

La figure III.31 présente les paramètres utilisés pour le calcul de la progression de la largeur de spire.

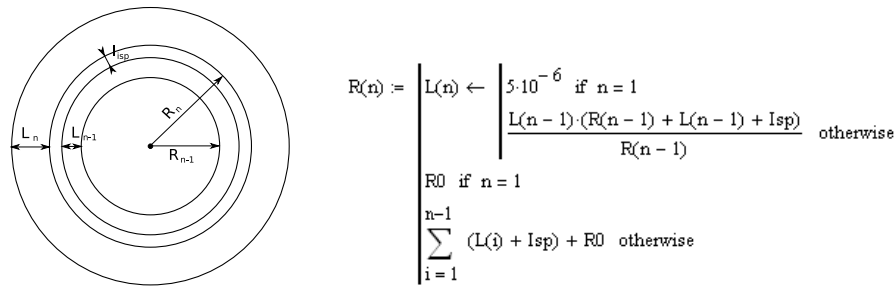


FIG. III.31 – Paramètres du calcul et formule de la progression de la largeur de spire

À partir de cette relation de récurrence, nous pouvons générer une suite de nombres correspondant à la progression que doit suivre la largeur des spires afin d'assurer une résistance constante en continu quel que soit la spire considérée. Le dimensionnement pris comme exemple ici possède les caractéristiques présentées figure III.32. La courbe de la figure III.32 montre que cette progression peut être assimilée à une évolution de type polynomiale du second degré.

Largeur de spire initiale	5 μm
Distance inter-spire	3 μm
Diamètre interne	100 μm
Diamètre externe	600 μm
Épaisseur pistes	4 μm

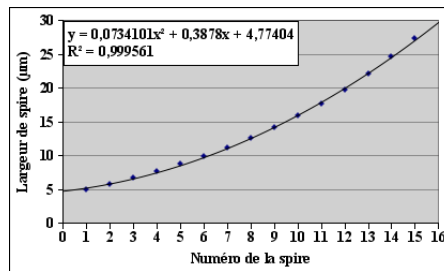


FIG. III.32 – Progression de la largeur de spire

Le choix de la largeur de la spire initiale est important car c'est ce paramètre qui va déterminer la résistance par spire. Ainsi, pour une surface donnée, ce paramètre peut être fixé par la résistance totale de la bobine que l'on souhaite, en calculant la résistance par spire, puis en appliquant l'algorithme présenté ci-dessus, ce qui détermine le nombre de spire, et donc la résistance totale.

Cette méthode de dimensionnement présente donc l'avantage de mieux maîtriser la résistance totale de la bobine pour une surface donnée. Cependant, le fait que la largeur des spires augmente au fur et à mesure que l'on s'éloigne du centre ne permet pas de dessiner autant de spires dans la même surface que dans un dimensionnement classique. Il est donc normal que l'inductance soit plus faible, mais dans la mesure où la résistance

est également plus faible, il est intéressant de voir l'impact de ce dimensionnement sur le rapport L/R. Comparons donc un dimensionnement classique avec ce dimensionnement, à nombre de spires donné. (figure III.33).

Sans circuit magnétique	Design 1	Design 2	Design 3	Design 4	Design à largeur variable
Épaisseur des pistes	4 $\mu\text{m}$	4 $\mu\text{m}$	4 $\mu\text{m}$	4 $\mu\text{m}$	4 $\mu\text{m}$
Nombre de spires	15	15	15	<b>31</b>	15
Largeur de spire	5 $\mu\text{m}$	5 $\mu\text{m}$	<b>14 <math>\mu\text{m}</math></b>	5 $\mu\text{m}$	5 $\mu\text{m}$ (1ère spire)
Distance inter-spires	<b>13,5 <math>\mu\text{m}</math></b>	3 $\mu\text{m}$	3 $\mu\text{m}$	3 $\mu\text{m}$	3 $\mu\text{m}$
Diamètre interne	100 $\mu\text{m}$	100 $\mu\text{m}$	100 $\mu\text{m}$	100 $\mu\text{m}$	100 $\mu\text{m}$
Diamètre externe	600 $\mu\text{m}$	<b>320 <math>\mu\text{m}</math></b>	600 $\mu\text{m}$	600 $\mu\text{m}$	600 $\mu\text{m}$
Inductance	67,7 nH	46,7 nH	65 nH	275 nH	46,3 nH
Résistance DC	22,7 $\Omega$	13,54 $\Omega$	7,84 $\Omega$	44,5 $\Omega$	6,55 $\Omega$
Résistance (100MHz)	22,7 $\Omega$	13,56 $\Omega$	8 $\Omega$	44,6 $\Omega$	6,64 $\Omega$
$L/R_{DC}$ (H/ $\Omega$ )	2,98.10 <sup>-9</sup>	3,45.10 <sup>-9</sup>	8,29.10 <sup>-9</sup>	6,18.10 <sup>-9</sup>	7,07.10 <sup>-9</sup>
$L/R_{100MHz}$ (H/ $\Omega$ )	2,98.10 <sup>-9</sup>	3,44.10 <sup>-9</sup>	8,13.10 <sup>-9</sup>	6,17.10 <sup>-9</sup>	6,97.10 <sup>-9</sup>

FIG. III.33 – Comparaison dimensionnements classiques et largeur de spire variable dans l'air (résultats de simulations Flux2D)

Ce tableau présente deux rapports L/R différents. Le premier,  $L/R_{DC}$ , correspond à l'inductance et à la résistance en continu, ce qui nous permettra de juger l'intérêt des différents cas pour une utilisation en inductance car comme nous l'avons déjà précisé, le dimensionnement de l'inductance privilégie la composante continue. Le second,  $L/R_{100MHz}$ , correspond aux valeurs d'inductance et de résistance à 100 MHz, pour une utilisation en transformateur. Par la suite, nous nous focaliserons sur une utilisation en transformateur et l'utilisation en inductance sera seulement mentionnée en conclusion de ce paragraphe. Les rapports L/R mentionnés par la suite feront donc référence aux valeurs de  $L/R_{100MHz}$ , sauf contre-indication explicite.

Pour vérifier visuellement que les effets de peau et de proximité sont beaucoup moins présents dans le cas d'un dimensionnement à largeur de spire variable, la figure III.34 présente les résultats de simulation Flux2D de cinq cas.

On observe sur cette figure que la répartition du courant dans chaque spire de la spirale à largeur de spire variable est bien homogène, ce qui permet d'exploiter au mieux la section de cuivre. Il est évident que la densité de courant est plus élevée pour les spires internes (la section du conducteur est plus petite) que pour les spires externes, ce qui pourrait causer un échauffement plus important au centre, mais la résistance de chaque spire reste conforme au dimensionnement voulu. Le rapport L/R est donc assez bon pour ce cas là, puisqu'il n'est pas pénalisé par une résistance trop élevée.

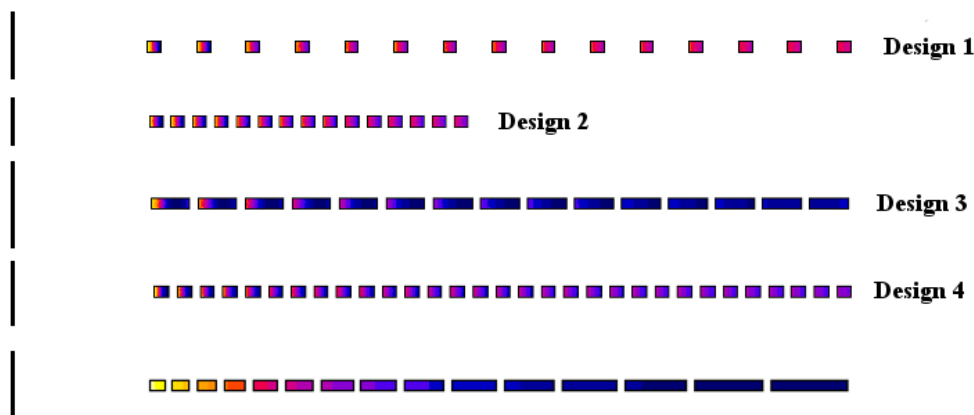


FIG. III.34 – Répartition du courant à 100MHz dans les spires des dimensionnements présentés

Cependant, le rapport  $L/R$  est maximum pour le design à spires larges (design 3). Ceci est du au fait, d'une part, que la largeur des spires a été dimensionnée pour être égale à deux fois l'épaisseur de peau, ce qui permet de ne pas être gêné par celui-ci, tout en permettant d'obtenir une section de conducteur plus importante. Il n'y a que l'effet de proximité qui génère une densité de courant non homogène sur les spires internes.

Il est aussi intéressant de rechercher si ces dimensionnements permettent d'obtenir des rapports  $L/R$  similaires en présence de circuits magnétiques de part et d'autre des bobinages, comme dans le cas des doubles spirales. Car, comme nous l'avons déjà vu, l'effet de proximité est décuplé en présence de circuit magnétique.

De la même manière que pour l'étude des spirales doubles, nous ajoutons maintenant une épaisseur de circuit magnétique en dessous et au-dessus du bobinage. Les dimensions géométriques des circuits magnétiques sont présentées figure III.35. Les résultats des simulations utilisant le premier circuit magnétique (non dépassant) sont répertoriés dans le tableau de la figure III.36.

En présence de circuit magnétique, le meilleur rapport  $L/R$  revient cette fois-ci au design 4, dans la mesure où un nombre de spires plus important apporte un gain plus important sur la valeur d'inductance, bien que la résistance soit également la plus élevée. En effet, en fonction du nombre de spires, l'inductance d'une spirale augmente plus rapidement que sa résistance (voir figure III.37). De plus, la présence de circuit magnétique ne modifie pas les valeurs relatives des inductances des différents design. Par exemple, que ce soit dans l'air ou en présence de circuit magnétique, l'inductance du design 4 est environ 4,2 fois plus grande que celle du design 3. La valeur absolue de l'inductance est bien entendu modifiée avec ou sans circuit magnétique, mais pas leurs valeurs relatives. En revanche, les variations de la résistance des spires en présence de circuit magnétique ne répondent pas à la même logique en raison de l'effet de proximité. En effet, des spires larges seront plus sensibles aux effets de proximité que des spires fines. Ainsi, l'augmentation de la résistance

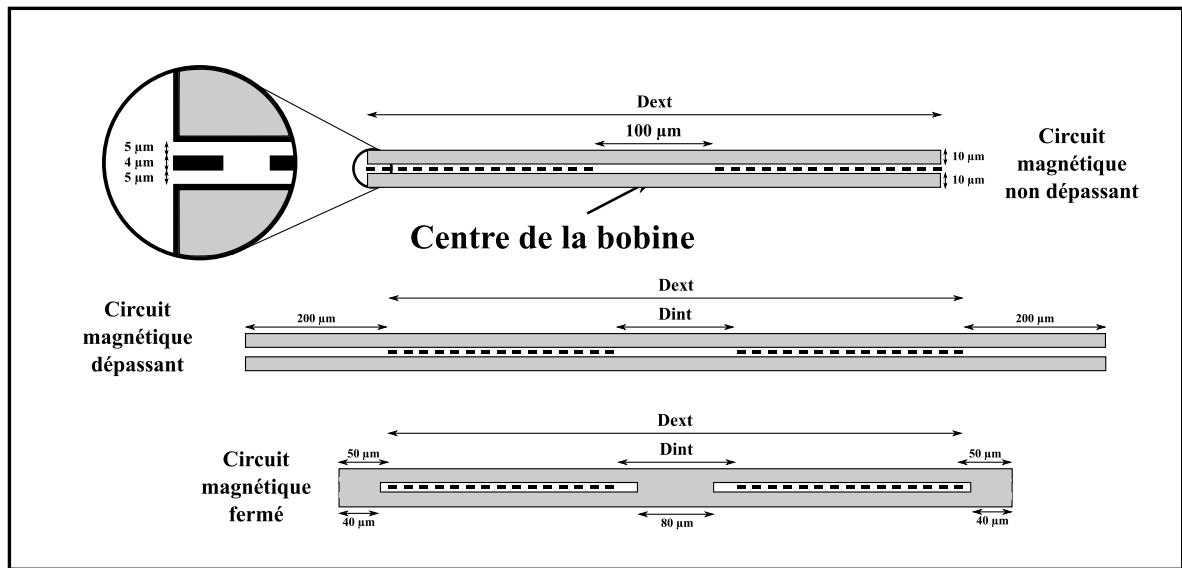


FIG. III.35 – Géométries des topologies avec circuit magnétique simulées sous Flux2D

Avec circuit magnétique	Design 1	Design 2	Design 3	Design 4	Design à largeur variable
Inductance	490,3 nH	222 nH	481 nH	2,02 $\mu$ H	373 nH
Résistance (100MHz)	23,72 $\Omega$	14,4 $\Omega$	30,1 $\Omega$	53,8 $\Omega$	27,2 $\Omega$
$L/R_{DC}$ (H/ $\Omega$ )	2,16.10 <sup>-8</sup>	1,64.10 <sup>-8</sup>	6,14.10 <sup>-8</sup>	4,54.10 <sup>-8</sup>	5,69.10 <sup>-8</sup>
$L/R_{100MHz}$ (H/ $\Omega$ )	2,07.10 <sup>-8</sup>	1,55.10 <sup>-8</sup>	1,6.10 <sup>-8</sup>	3,75.10 <sup>-8</sup>	1,37.10 <sup>-8</sup>

FIG. III.36 – Comparaison dimensionnements classiques et largeur de spire variable avec circuit magnétique non dépassant (résultats de simulation Flux2D à 100 MHz)

des designs à spires fines est moins importante que celles des designs à spires larges. Donc, bien que la résistance du design 4 soit la plus élevée, elle n'augmente que très peu comparée aux autres designs, alors que les rapports d'inductances restent identiques en présence de circuit magnétique.

Il est donc difficile de tirer des conclusions quant au meilleur dimensionnement, puisqu'il dépend beaucoup de la présence de circuit magnétique, et de ses dimensions. En effet, l'éloignement et la surface du circuit magnétique influencent de manière importante les caractéristiques électrique des spirales. Pour s'en assurer, une étude supplémentaire a été conduite en rajoutant une longueur de circuit magnétique de 200  $\mu$ m par rapport au rayon externe de la spirale (le diamètre du circuit magnétique est donc égal à 1 mm lorsque celui de la spirale est de 600  $\mu$ m). Les répartitions des courants dans les différents cas sont présentés en annexe C.

Le circuit magnétique qui dépasse de la spirale permet de faire reboucler le champ magnétique en dehors des spires, ce qui réduit de manière importante l'effet de proximité

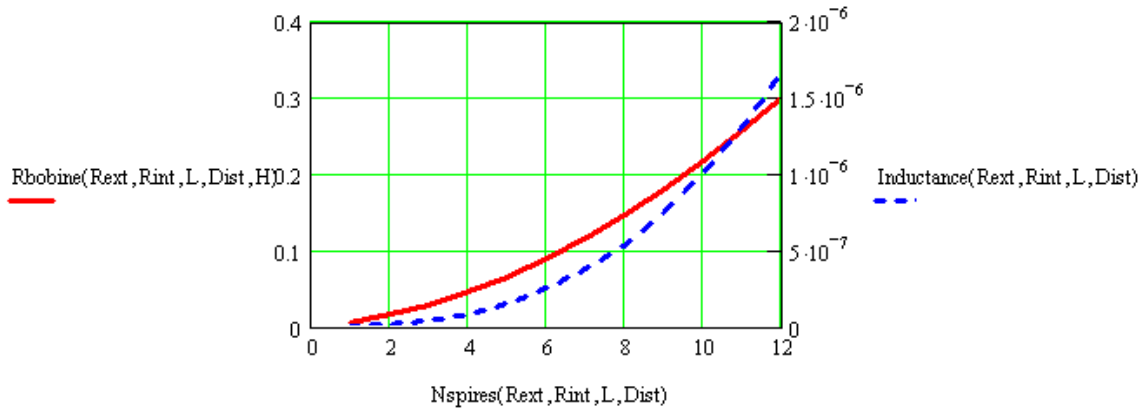


FIG. III.37 – Évolutions de la résistance et de l'inductance d'une spirale classique en fonction du nombre de spires

Avec circuit magnétique dépassant	Design 1	Design 2	Design 3	Design 4	Design à largeur variable
Inductance	885 nH	434 nH	849 nH	3,57 $\mu$ H	578 nH
Résistance (100MHz)	24,2 $\Omega$	15,25 $\Omega$	42,32 $\Omega$	59 $\Omega$	19,6 $\Omega$
$L/R_{DC}$ (H/ $\Omega$ )	3,9.10 <sup>-8</sup>	3,2.10 <sup>-8</sup>	10,8.10 <sup>-8</sup>	8,02.10 <sup>-8</sup>	8,82.10 <sup>-8</sup>
$L/R_{100MHz}$ (H/ $\Omega$ )	3,66.10 <sup>-8</sup>	2,84.10 <sup>-8</sup>	2.10 <sup>-8</sup>	6.10 <sup>-8</sup>	2,95.10 <sup>-8</sup>

FIG. III.38 – Comparaison dimensionnements classiques et largeur de spire variable avec circuit magnétique dépassant (résultats de simulation Flux2D à 100 MHz)

dans les spires externes. Cet effet est notamment bien visible dans le cas des spires larges, ou dans la spirale à largeur variable (car les spires externes sont larges), ce qui augmente la résistance lorsque le circuit magnétique ne dépasse pas.

Nous pouvons également noter un point particulier ici : lorsque l'on compare les résistances des différents designs entre circuit magnétique non dépassant et dépassant, nous pouvons remarquer que toutes les résistances des designs classiques augmentent, et celle du design à largeur variable diminue. Ceci est probablement dû au fait que dans le cas du circuit magnétique dépassant, la réluctance du circuit magnétique étant un peu plus faible, le champ est plus important et les lignes de champs qui se referment au centre de la spirale sont plus "étalées", ce qui génère des effets de proximité sur un nombre plus important de spires. Ainsi, bien que les spires externes voient un champ plus faible, globalement, la résistance totale augmente. Pour ce qui concerne la spirale à largeur variable, l'augmentation de la résistance en présence de circuit magnétique non dépassant est principalement due à la spire externe. Donc, lorsque le circuit magnétique dépasse, même si les spires internes sont un peu plus résistives, la réduction importante de l'effet de proximité sur la spire externe permet de réduire la résistance totale.

Le dernier cas que nous allons étudier ici est le cas où le circuit magnétique est

complètement fermé, au centre de la spirale ainsi qu'à l'extrémité (voir figure III.35). Ce circuit magnétique sans entrefer va permettre de réduire de façon importante le champ magnétique traversant les spires, ce qui permettra de réduire les pertes, et donc les résistances. De plus, les valeurs d'inductances augmentent également de manière importante du fait de la disparition de l'entrefer. Le tableau III.39 récapitule les valeurs d'inductances et de résistances des différents dimensionnements étudiés.

<b>Avec circuit magnétique fermé</b>	Design 1	Design 2	Design 3	Design 4	<b>Design à largeur variable</b>
Inductance	3,95 $\mu\text{H}$	4,98 $\mu\text{H}$	3,99 $\mu\text{H}$	17,2 $\mu\text{H}$	3,84 $\mu\text{H}$
Résistance (100MHz)	23,2 $\Omega$	13,9 $\Omega$	19,5 $\Omega$	49,3 $\Omega$	8,1 $\Omega$
$L/R_{DC}$ (H/ $\Omega$ )	17,4.10 <sup>-8</sup>	36,8.10 <sup>-8</sup>	50,9.10 <sup>-8</sup>	38,7.10 <sup>-8</sup>	58,6.10 <sup>-8</sup>
$L/R_{100MHz}$ (H/ $\Omega$ )	17.10 <sup>-8</sup>	35,8.10 <sup>-8</sup>	20,5.10 <sup>-8</sup>	34,8.10 <sup>-8</sup>	47,4.10 <sup>-8</sup>

FIG. III.39 – Comparaison dimensionnements classiques et largeur de spire variable avec circuit magnétique fermé (résultats de simulation Flux2D à 100 MHz)

On peut donc noter ici que le meilleur rapport L/R est attribué cette fois-ci à la spirale à largeur de spire variable, car bien que la résistance de chaque design n'augmente que très peu (hormis le design 3 à spires larges), l'inductance de la spirale à largeur variable est à peu près identique aux autres design (design 1, 3 et 2) car elles ont un nombre égal de spires qui voient chacune un flux à peu près similaire.

Pour préciser les effets des différents circuits magnétiques (non dépassant, dépassant et fermé) sur les inductances et résistances des spirales, il est intéressant d'observer cela sur chaque spire. Ainsi, il est possible de mieux appréhender ce qui se passe en terme de pertes dans les spires. Il est également possible de mieux observer la répartition du champ magnétique ainsi que sa valeur relative vis-à-vis du cas sans circuit magnétique pour chaque spire. La figure III.40 montre les inductances et les résistances de chaque spires (en abscisse, spire n°1 au centre et n°15 à l'extérieur), de la topologie à largeur de spire variable, pour les différents cas (à air, avec circuit magnétique non dépassant, avec circuit magnétique dépassant, et avec circuit magnétique fermé).

Tout d'abord, dans l'air, nous pouvons noter que la résistance par spire est bien constante, comme nous le voulions. Ensuite, observons ce qui se passe sur les valeurs de résistance en présence de circuit magnétique. Lorsque celui-ci ne dépasse pas des conducteurs, le champ magnétique ne peut faire autrement que de se reboucler sur les spires extérieures, générant de fait des pertes supplémentaires dans celles-ci, ce qui se traduit par une augmentation de leurs résistances équivalentes (spires 12 à 15 pour un circuit magnétique non dépassant). Cela impacte également l'inductance amenée par ces dernières spires, puisque le champ magnétique se reboucle en partie à travers elles, ce qui diminue le champ total vu par ces spires et donc l'inductance de chacune de celles-ci diminue.

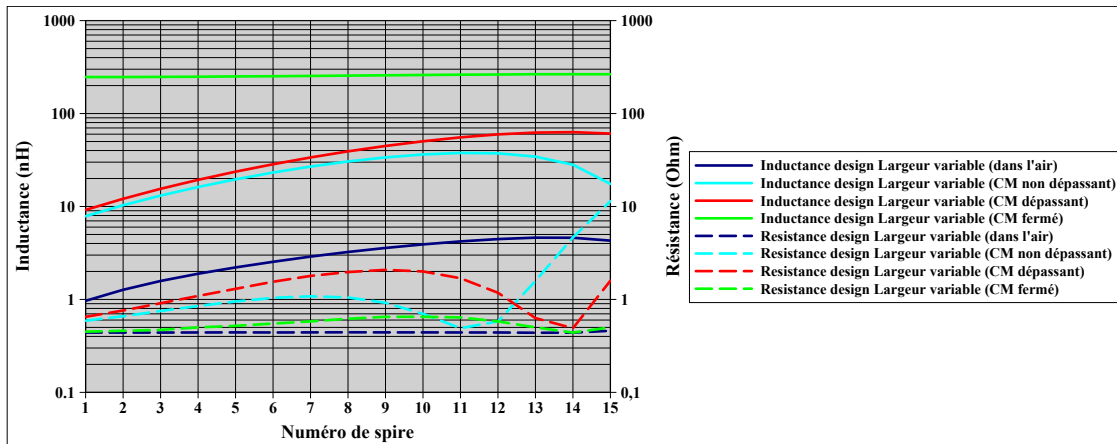


FIG. III.40 – Caractéristiques de chaque spire pour le design à largeur de spire variable à 100 MHz

Dans le cas où le circuit magnétique dépasse de la spirale, le champ magnétique se reboucle au-delà des spires externes, ce qui réduit les pertes, et donc la résistance équivalente. Cependant, en rajoutant cette longueur de circuit magnétique, nous avons augmenté la surface de l'entrefer équivalent, diminuant sensiblement la réluctance totale du circuit magnétique, d'où l'augmentation de l'inductance de chaque spire. L'inconvénient de cette géométrie est donc que le champ magnétique, qui est plus élevé, traverse un nombre plus important de spire au centre, ce qui augmente la résistance équivalente des spires centrales. Cet effet est observable sur les figures de l'annexe C, sur lesquelles on constate bien l'étalement des lignes de champ qui se rebouclent au centre lorsque le circuit magnétique est dépassant.

Enfin, lorsque le circuit magnétique est complètement fermé, le champ magnétique étant beaucoup mieux canalisé au centre et aux extrémités de la spirale, la résistance des spires est fortement limitée, puisqu'elles ne voient passer à travers elles que le champ de fuite.

Voyons maintenant les caractéristiques de chaque spire des designs 3 et 4, qui permettent d'obtenir également le meilleur rapport L/R suivant le type de circuit magnétique étudié (figure III.41).

Les mêmes remarques peuvent s'appliquer pour ces designs, au détail près que l'influence de la géométrie de la spirale n'est pas négligeable. En effet, comparons la spirale à largeur variable et le design 3 avec le circuit magnétique fermé. Dans le premier cas, les spires intérieures sont étroites, ce qui limite fortement les pertes liées au champ magnétique de fuite, alors que dans le second cas, les spires étant larges, ce champ de fuite génère des pertes non négligeables dans ces spires bien qu'elles soient toutes de même plus faibles que dans le cas du circuit magnétique ouvert. Ce champ de fuite est lié aux réluctances relatives des jambes verticales du circuit magnétique par rapport à celle de la fenêtre de bobinage. Le rapport de ces réluctances est de l'ordre de la centaine. Or dans le cas où



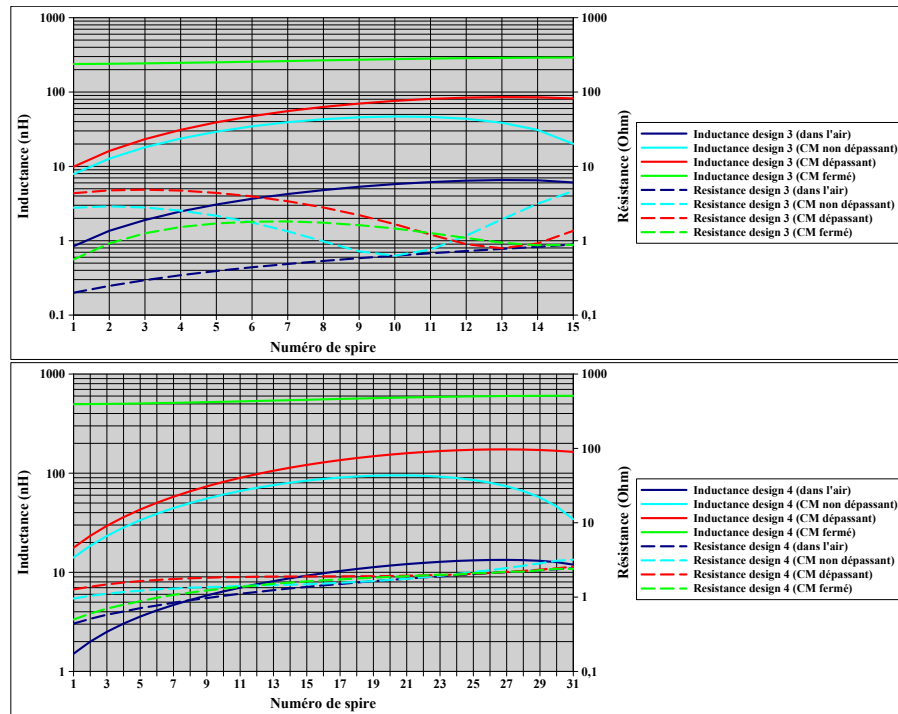


FIG. III.41 – Caractéristiques de chaque spire pour les designs 3 et 4 à 100 MHz

le circuit magnétique est fermé, le champ magnétique est plus élevé que dans le cas d'un circuit magnétique ouvert (d'un facteur de l'ordre de 10), ce qui implique que le champ de fuite dans le cas du circuit magnétique fermé est environ 10 fois plus faible que le champ traversant les spires avec un circuit magnétique ouvert. Cet ordre de grandeur peut se retrouver en comparant la résistance des spires intérieures du design 3 avec circuit magnétique dépassant ou fermé.

Nous pouvons ainsi conclure que le dimensionnement en considérant une largeur de spire variable permet d'obtenir un bon rapport  $L/R$  dans l'air (même si ce n'est pas le meilleur parmi les dimensionnements proposés ici) tout en réduisant au mieux la résistance totale, ce qui est un critère essentiel lorsqu'il s'agit de faire de la conversion d'énergie.

En présence de circuit magnétique, le bilan concernant ces dimensionnements est tout autre. En effet, dans l'air, les spires larges (Design 3) offrent une faible résistance par rapport au design 1, qui est comparable en terme d'inductance. Par contre, la hiérarchie s'inverse en présence de circuit magnétique, qui permet globalement d'obtenir de meilleures rapports  $L/R$ , mais qui pénalisent les spires larges. En ce qui concerne les spires à largeurs variables, nous pouvons conclure que l'intérêt de cette topologie dépend beaucoup du circuit magnétique, et des effets de proximité qu'il apporte.

L'intérêt du circuit magnétique est également pondéré par ses caractéristiques, et notamment par les pertes fer qu'il peut générer, car cette étude n'a pas pris en compte ces données, qui sont très liées à la méthode de réalisation.

Nous pouvons cependant conclure sur la topologie des spirales à adopter, avec ou sans circuit magnétique, vis-à-vis des caractéristiques recherchées.

Par rapport aux caractéristiques recherchées pour une inductance, il est préférable de privilégier la résistance DC aux composantes HF. Ainsi, en comparant les rapports  $L/R_{DC}$  des différents cas, il s'avère que le design 3 offre le meilleur rapport L/R en présence de circuit magnétique ouvert puisque l'inductance s'en trouve augmentée, tout en gardant l'avantage d'une faible résistance du fait de ses spires larges. En présence de circuit magnétique fermé, c'est la spirale à largeur de spire variable qui présente le meilleur rapport, puisque ce design offre également une faible résistance, plus faible encore que celle du design 3, pour une valeur d'inductance similaire.

En ce qui concerne une utilisation en transformateur, la présence du circuit magnétique fermé autour d'une topologie de spirale à largeur variable présente donc le meilleur rapport L/R. Cependant, la réalisation d'un circuit magnétique fermé de bonne qualité et présentant des niveaux de perte faibles peut s'avérer difficile. En considérant les topologies avec des circuits magnétiques ouverts (dépassant ou non) plus simples, le meilleur rapport L/R est alors pour le design 4, qui a l'inconvénient de présenter une forte résistance. On peut donc se tourner vers le design 1, qui présente un bon rapport L/R tout en limitant la valeur de sa résistance. Pour des réalisations qui ne peuvent pas intégrer de circuit magnétique, le design 3 (à spires larges) est alors la meilleure topologie à adopter.

### III.3.4 Modélisation magnétique et capacitive du transformateur

#### III.3.4.1 Modélisation magnétique

Pour simuler les structures complètes de micro-convertisseurs de manière à prendre en compte les effets de la fréquence sur les différents éléments constituant le schéma équivalent du transformateur, il est intéressant d'établir un modèle qui prend en considération les effets de peau et de proximité.

Pour cela, nous pouvons partir du modèle du transformateur représenté figure III.42, où les différents éléments ne sont pas constants en fonction de la fréquence. Notamment, les résistances  $R_p$  et  $R_s$  des bobinages primaire et secondaire augmentent avec la fréquence du fait des effets de peau et de proximité.

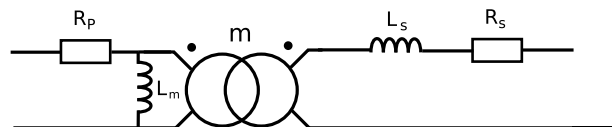


FIG. III.42 – Modèle magnétique simple du transformateur

Pour assurer une simulation dont les résultats soient au plus proches de la réalité, il est nécessaire de prendre en compte ces variations. Cependant, il n'est pas possible d'indiquer

aux logiciels de simulation que nous utilisons (Cadence, PSIM, etc) que des composants possèdent une valeur caractéristique variable en fonction de la fréquence. Il faut donc, à partir de ce schéma dont les composants ne sont pas constants, établir un schéma plus élaboré, constitué uniquement de composants à valeurs constantes, et qui présentent les mêmes caractéristiques d'entrée et de sortie que le schéma d'origine.

Pour modéliser les effets de peau et de proximité, une solution est de rajouter des cellules R-L en série avec la résistance DC des bobinages [Sch99].

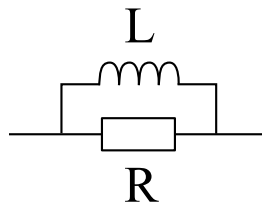


FIG. III.43 – Cellule RL

Afin d'illustrer comment l'effet de peau peut être modélisé par l'ajout de cellules R-L mises en série, partons de la mesure de la résistance série de la spirale simple réalisée sur Kapton, présentée précédemment.

Nous n'avons pas ici pour objectif de reconduire les travaux conduits par Ambroise Schellmanns dans sa thèse, mais de s'appuyer sur ces résultats et de les appliquer à notre modélisation. Il s'agit donc de montrer une vision simplifiée et utilisable rapidement.

Ainsi, chaque cellule R-L va permettre d'augmenter la résistance série sur une certaine plage de fréquence donnée qui dépend de la fréquence de coupure de la cellule. La figure III.44 montre le découpage en plusieurs plages de fréquences de l'évolution de la résistance afin de déterminer les valeurs de R et L de chacune des cellules.

Chaque portion va permettre de déterminer les paramètres nécessaires pour une cellule R-L donnée afin d'approcher la courbe au mieux. Ceci va donc nous donner trois cellules R-L en série dans notre cas, ce qui nous conduit au schéma de la figure III.45. La répartition des fréquences de coupure est liée principalement aux variations de pentes, mais également à la subdivision de plages de fréquences importantes. En effet, dans notre cas, l'introduction d'une fréquence de coupure à 2 MHz permet de mieux approcher la courbe à l'aide de deux cellules plutôt qu'avec une seule. Cela nous conduit ainsi à considérer environ une cellule par décade.

Tout d'abord, nous partons de la résistance DC valant  $250 \text{ m}\Omega$ . Ensuite, nous observons que la résistance augmente de  $0,4 \Omega$  entre 200 MHz et 2 MHz. La première cellule R-L devra donc ajouter une résistance de  $0,4 \Omega$  lorsque la fréquence tend vers l'infini, ce qui nous donne la valeur de  $R_1$ . La fréquence de coupure de la cellule est déterminée en calculant la fréquence médiane de la plage considérée, à savoir  $f_{c1} = 632 \text{ kHz}$  pour notre première

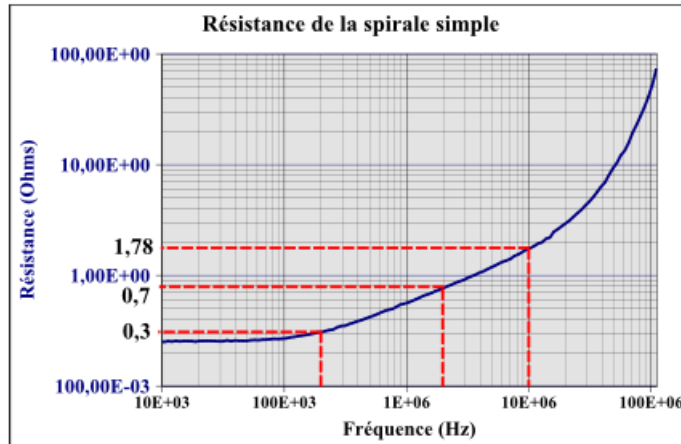


FIG. III.44 – Découpage des plages de fréquences pour la modélisation de l'effet de peau

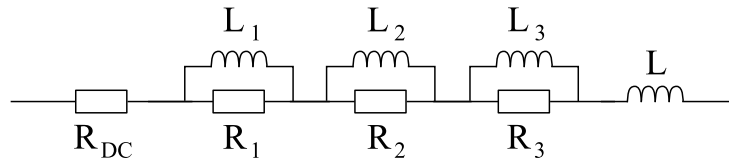


FIG. III.45 – Modélisation en cellules R-L

cellule. La valeur de l'inductance est déterminée par la formule suivante :

$$L_1 = \frac{R_1}{2\pi f_{c1}} = 181nH$$

La figure III.47 montre les contributions de chaque cellule, nous pouvons donc y voir celle de la première cellule R1-L1. Ce même raisonnement est reconduit pour les cellules suivantes, ce qui nous donne les valeurs du tableau III.46.

	$R_1 - L_1$	$R_2 - L_2$	$R_3 - L_3$
R	0,4 $\Omega$	1,08 $\Omega$	300 $\Omega$
L	100 nH	37,7 nH	163 nH
$f_c$	632 kHz	4,47 MHz	100 MHz

FIG. III.46 – Tableau des valeurs des cellules R-L

Il faut cependant isoler le cas de la dernière cellule, car la détermination de ses paramètres déborde de la plage de fréquence étudiée, puisqu'il n'est utile d'avoir que la moitié de la contribution de la cellule. Il est donc nécessaire d'estimer la valeur de la résistance et la fréquence de coupure afin de ne pas modifier ce qui se passe au niveau des cellules précédentes. La méthode utilisée ici est de partir d'une résistance deux fois plus grande que la marche issue des mesures (2 fois 50  $\Omega$  dans notre cas), de définir la fréquence

de coupure à la borne maximale de la plage de mesure (100 MHz ici), d'en déduire la valeur de l'inductance, puis d'augmenter progressivement la valeur de la résistance afin de faire correspondre au mieux la courbe de mesures. Cette dernière manipulation a également pour effet de déplacer la fréquence de coupure vers les hautes fréquences, ce qui permet de moins perturber les résultats en basse et moyenne fréquences.

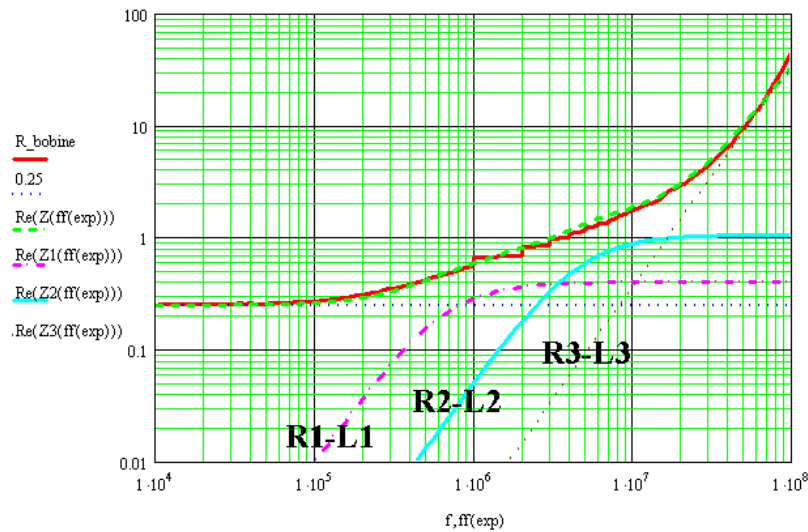


FIG. III.47 – Contribution des différentes cellules R-L

Nous voyons donc une correspondance très correcte entre les mesures ( $R\_bobine$ ) et la partie réelle de l'impédance de l'ensemble des cellules R-L ( $Re(Z(ff(exp)))$ ), représentant sa résistance sur la plage de fréquence considérée.

Nous pouvons vérifier l'impact de ces valeurs sur la partie imaginaire de l'impédance totale par rapport à l'inductance mesurée. Pour cela, le calcul de  $L$  est simple, puisqu'il consiste à résoudre l'équation ci-dessous, où  $L_{BF}$  représente l'inductance mesurée en basse fréquence :

$$L + L_1 + L_2 + L_3 = L_{BF}$$

La mesure nous donne  $L_{BF} = 1,16 \mu\text{H}$ , ce qui nous donne  $L = 859 \text{ nH}$ . La figure III.48 montre la bonne corrélation entre mesures et modèle, hormis en hautes fréquences, où une résonance commence à apparaître en mesure. Cela est normal car la modélisation ne rend pas compte des effets capacitifs.

Suivant la précision souhaitée et la plage de fréquence sur laquelle nous voulons modéliser l'impédance du bobinage, il sera donc nécessaire d'utiliser un nombre plus ou moins important de cellules R-L. Ici, 3 cellules suffisent.

Plus généralement, le nombre de cellules R-L nécessaires à une bonne correspondance dépend du nombre de décades sur lequel on observe une évolution de la résistance et sur

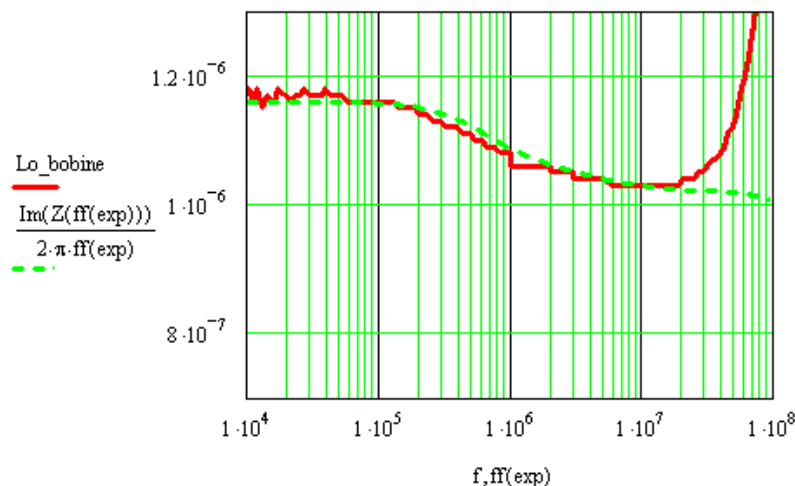


FIG. III.48 – Fit de la partie imaginaire de l'inductance

lequel on souhaite faire le modèle. En effet, après avoir évalué les fréquences de coupure comme nous l'avons vu précédemment (et donc un nombre minimum de cellules), il faut compléter le modèle pour obtenir un nombre total de cellules R-L égal au nombre de décades sur lequel on souhaite réaliser le modèle. Ceci peut se justifier ici par l'allure exponentielle de la résistance en fonction de la fréquence. La figure III.47 montre que la contribution de chaque cellule devient négligeable par rapport à la courbe à approcher au-delà d'une décade après la fréquence de coupure (par exemple, la cellule R2-L2, dont la fréquence de coupure est égale à 4,47 MHz, apporte une contribution faible une décade au-delà, à savoir à 45 MHz, puisqu'elle n'apporte que  $1 \Omega$  alors que la courbe à approcher y vaut environ  $10 \Omega$ ). La variation de la résistance par les effets de peau et de proximité se prête donc bien à se type de modélisation.

Passons maintenant à la modélisation de l'ensemble du transformateur. La méthode de détermination des cellules R-L est identique, à ceci près que maintenant il faut considérer deux enroulements identiques. Cela doit donc nous conduire à élaborer un modèle symétrique pour que les impédances soient strictement égales vues du primaire ou du secondaire, le transformateur étant réalisé par deux bobinages identiques placés en vis-à-vis.

La valeur de l'inductance de fuite étant bien plus faible que l'inductance magnétisante, il est nécessaire de construire le modèle en partant de l'essai en court-circuit. Une fois que l'identification en court-circuit est réalisée, il restera à compléter le modèle avec l'essai à vide pour lequel l'inductance magnétisante sera mesurable. L'élaboration détaillée de la construction du modèle du transformateur est décrite en Annexe A. Nous nous contenterons ici de présenter les résultats obtenus.

Nous avons donc au final le schéma du transformateur modélisé présenté figure III.49. Le tableau III.50 résume les valeurs des cellules R-L identifiées.

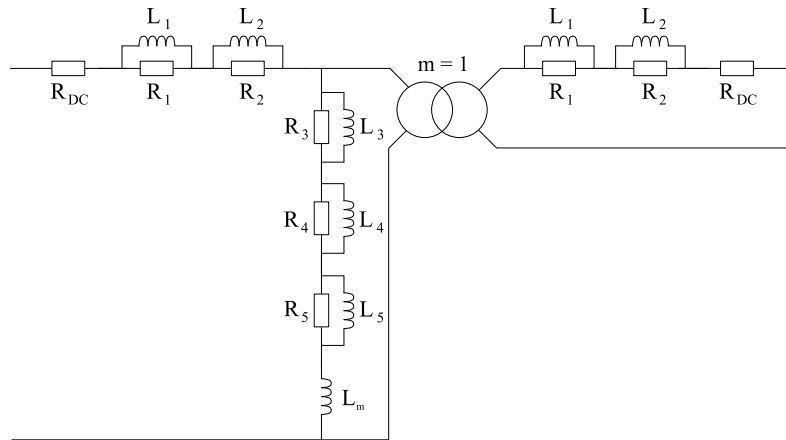


FIG. III.49 – Modèle du transformateur

	$R_1 - L_1$	$R_2 - L_2$	$R_3 - L_3$	$R_4 - L_4$	$R_5 - L_5$
R	0,51 $\Omega$	35 $\Omega$	0,4 $\Omega$	1,08 $\Omega$	500 $\Omega$
L	4,5 nH	13,2 nH	100 nH	37,7 nH	163 nH
$f_c$	18 MHz	422 MHz	637 kHz	4,56 MHz	488 MHz

FIG. III.50 – Tableau des valeurs des cellules R-L du secondaire du transformateur

Ces valeurs permettent donc de représenter au mieux les courbes expérimentales, que ce soit pour l'essai à vide ou en court-circuit. Ces courbes sont présentées figure III.51.

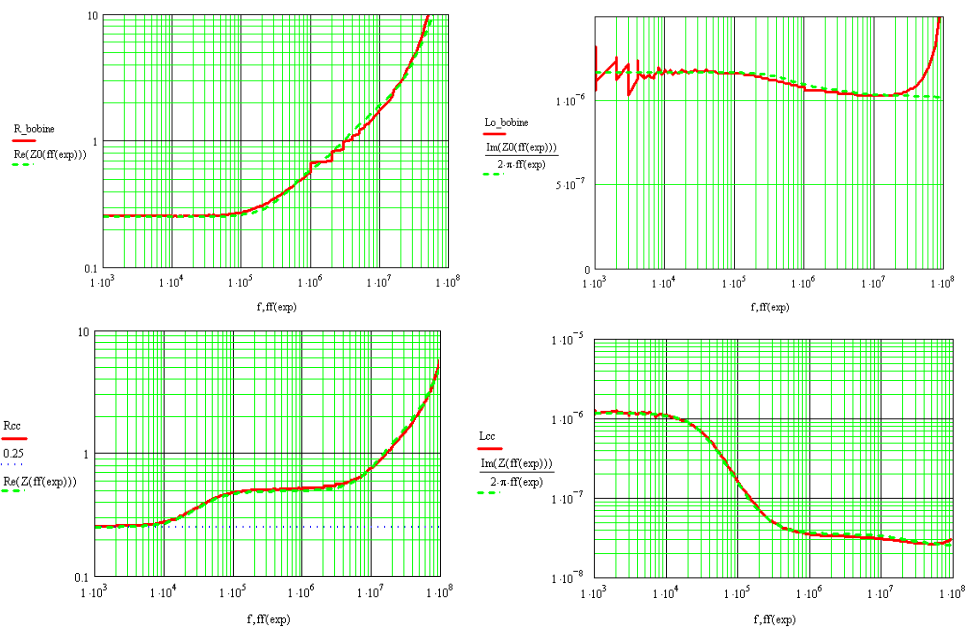


FIG. III.51 – Parties réelles et imaginaires de l'impédance du transformateur à vide et en court-circuit. Comparaison des courbes mesurées et simulées.

### III.3.4.2 Modélisation capacitive

Afin de compléter les résultats précédents, il est nécessaire de considérer la modélisation électrostatique du transformateur. Le modèle complet du transformateur pourra alors être établi par association du modèle magnétique et du modèle électrostatique comme cela est présenté dans [Ker08].

En effet, les effets capacitifs et magnétiques n'ayant pas lieu aux mêmes gammes de fréquences, il est possible de décrire les uns sans que les autres n'influent. Ceci est vrai pour des structures classiques de transformateur, c'est à dire bobinés autour d'un circuit magnétique. Dans le cas de structures planars, en raison des surfaces en regard importantes, les effets capacitifs risquent fort d'intervenir plus bas en fréquence. La figure III.51 montre que dès 30 MHz, les effets capacitifs modifient les impédances et sont visibles grâce aux résonances.

Notre topologie de transformateur planar comporte donc une multitude de capacités réparties tout le long des pistes, que ce soit sur les flancs de chacune des spires par rapport à leurs voisines, que d'un bobinage à l'autre, comme le montre la figure III.52. Il existe cependant d'autres capacités indésirables liées à l'environnement (et donc à la topologie choisie) tel que le circuit magnétique, les pistes voisines, le substrat, le plan de masse, ...). Dans le cadre de cette étude, nous nous intéresserons cependant qu'aux capacités liées directement aux bobinages, qui ne dépendent donc pas de l'environnement de la topologie planar choisie.

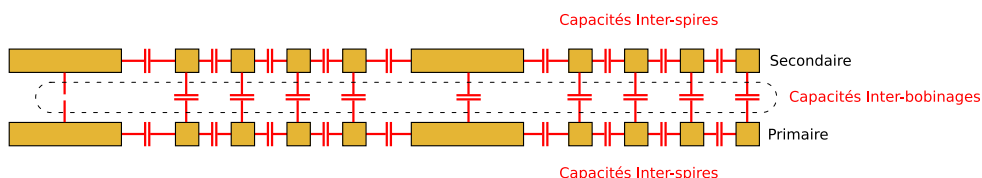


FIG. III.52 – Localisation des capacités présentes dans la topologie planar

Pour rendre compte simplement des effets capacitifs présents au sein du transformateur, [Ker08] et [ALW04] ont montré qu'il était possible de simplement placer des capacités localisées entre chaque potentiel accessible du transformateur. Ainsi chacun de ces potentiels peut être relié aux trois autres par une capacité équivalente, comme le montre la figure III.53. Six capacités sont donc nécessaires pour retranscrire le comportement électrostatique du transformateur :

- deux capacités inter-spires ( $C_{IS}$ ) primaire et secondaire
- deux capacités inter-bobinages ( $C_{IB}$ )
- deux capacités inter-bobinages croisées ( $C_{IBC}$ )

En écrivant l'énergie électrostatique stockée dans la structure en fonction des tensions au primaire, secondaire et entre bobinages [Ker08], il est possible d'établir une relation



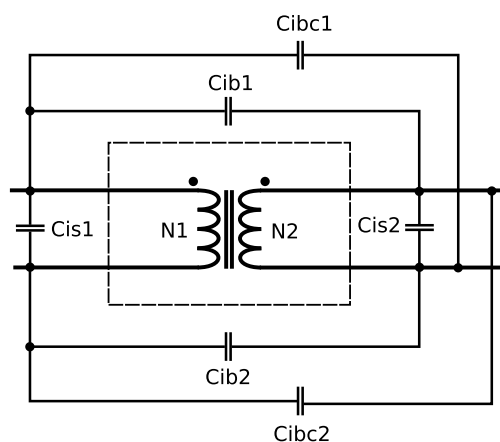


FIG. III.53 – Modèle capacitif : 6 capacités

entre les différentes capacités. Ce calcul permet de définir la valeur de chacune des capacités en fonction de la géométrie de la structure [ALW04], ce qui nous mène, dans le cas de notre spirale simple sur kapton, aux valeurs du tableau de la figure III.54. La capacité  $C_0$  correspond à la valeur du condensateur plan simple lié aux surfaces primaires et secondaires en vis-à-vis.

$C_{is1} = -\frac{C_0}{6}$	$C_{is2} = -\frac{C_0}{6}$	$C_{ib1} = \frac{C_0}{3}$	$C_{ib2} = \frac{C_0}{3}$	$C_{ibc1} = \frac{C_0}{6}$	$C_{ibc2} = \frac{C_0}{6}$
-88 pF	-88 pF	176 pF	176 pF	88 pF	88 pF

FIG. III.54 – Tableau des valeurs des capacités du modèle 6 capacités

Ce modèle fourni donc des valeurs de capacités négatives, ce qui peut paraître incohérent. Malgré tout, on peut vérifier que cette écriture est correcte car quelque soient les potentiels appliqués entre les différentes électrodes du transformateur, l'énergie est toujours positive, ce qui peut être dit autrement : quelque soient les électrodes considérées, la capacité mesurée entre deux électrodes du transformateur est toujours positive.

Nous voulions dans un premier temps confronter ces valeurs analytiques à des mesures expérimentales, dans le but d'obtenir un nombre d'équations suffisant pour retrouver la valeur de chaque capacité. Cependant, si l'on reprend la méthodologie d'identification décrite dans [Ker08], les mesures que nous avons effectuées sur notre transformateur ne nous permettent de retrouver, seulement, la valeur de  $C_0$  et des inductances magnétisante du modèle magnétique précédent en se basant sur les fréquences de résonance et d'anti-résonance des différentes impédances. En effet, pour déterminer l'ensemble des capacités du modèle, il nous faut réaliser autant d'essais que d'inconnues. Dans notre cas, les symétries de la géométrie réduisent le nombre d'inconnues, puisque les capacités inter-spires sont identiques, et les capacités inter-bobinages croisées le sont également. Ces essais sont

réalisés en court-circuitant certains potentiels, modifiant ainsi les fréquences de résonance, et donc les capacités et inductance identifiables. Or, d'une part, les fils nécessaires pour court-circuiter certains potentiels présentent des inductances qui perturbent les mesures et, d'autre part, le pont d'impédance utilisé ne permet pas de monter à des fréquences suffisantes pour identifier toutes les capacités inductances de notre prototype.

Nous allons donc vérifier le comportement global de notre modèle (magnétique + capacitif) à l'aide de simulations PSIM et les confronter aux valeurs expérimentales. L'objectif de ces comparaisons est de vérifier la validité du modèle capacitif analytique présenté précédemment. Dans la mesure où il n'a pas été possible de déterminer séparément les valeurs des différentes capacités du modèle, nous allons ainsi vérifier que le modèle analytique permet de faire correspondre les valeurs d'impédances obtenues par modélisation et par les essais expérimentaux. La figure III.55 présente donc les essais réalisés par simulation et expérimentalement (Les potentiels "hauts" ont été choisis au centre de la spirale et les impédances sont vues entre les points A et B).

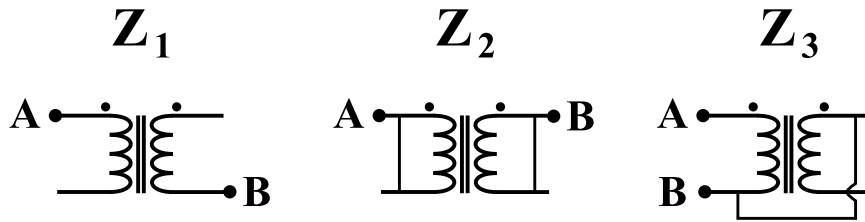


FIG. III.55 – Essais réalisés pour comparaisons des impédances mesurées et simulées

Les résultats de simulation approchent bien les mesures dans le cas où aucun court-circuit n'est réalisé, mais dès qu'un essai en présente un, les résultats ne correspondent plus. Ceci est dû à l'inductance du fil utilisé pour faire les court-circuits en pratique. Nous remplaçons donc le court-circuit par une inductance de même valeur (35 nH) dans nos simulations, ce qui nous donne les résultats de la figure III.56.

Ces résultats nous montrent bien que certaines fréquences sont liées à l'inductance du fil de court-circuit, et non aux éléments inductifs ou capacitifs de notre transformateur. Cependant, ces résultats montrent aussi que le modèle capacitif déterminé analytiquement permet d'obtenir une bonne corrélation avec les mesures expérimentales.

En conclusion, cette modélisation magnétique et capacitive peuvent permettre de simuler l'ensemble du micro-convertisseur avec les éléments électro-magnétiques et capacitifs sur une large gamme de fréquence.

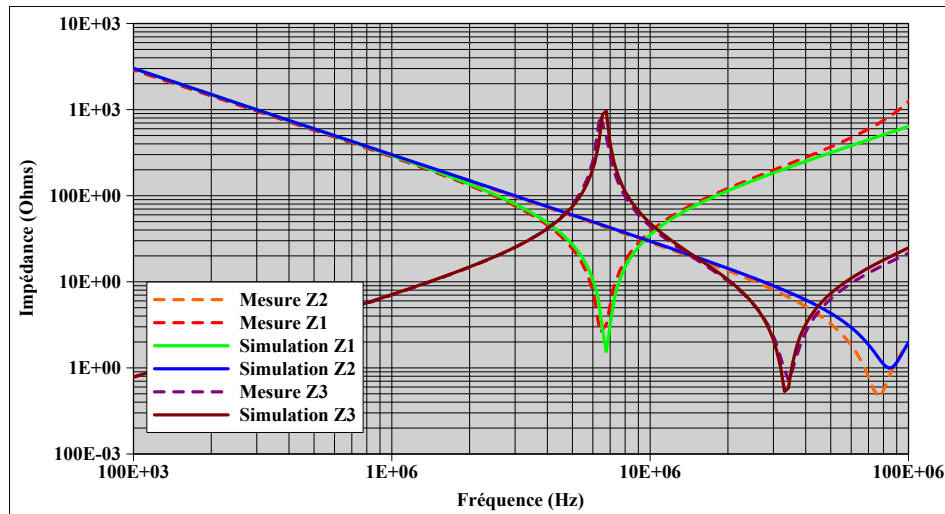


FIG. III.56 – Comparaisons des impédances mesurées et simulées (PSIM) du modèle complet

## III.4 Topologie des micro-bobines

### III.4.1 Micro-bobines sur Kapton

#### III.4.1.1 Limitations des techniques de circuit imprimé sur Kapton

D'un point de vue pratique, la technologie de réalisation de circuits sur Kapton est relativement simple à mettre en oeuvre mais présente certaines limitations. Nous proposons ici d'en faire un bref aperçu.

Tout d'abord, nous pouvons différencier la réalisation de circuits simple face, double faces sans trou métallisé, et double faces avec trous métallisés, car les contraintes de ces trois types de circuits ne sont pas les mêmes. Par exemple, dans le cas de circuits double face avec trous métallisés, la présence des vias entre la face avant et arrière du circuit implique d'aligner correctement les deux faces. Or, sur une épaisseur de Kapton de 25  $\mu\text{m}$ , les étirements du kapton durant les phases de réalisation empêchent d'assurer cet alignement avec une précision suffisante pour des vias de 200  $\mu\text{m}$  diamètre. En revanche, pour des épaisseurs de 50  $\mu\text{m}$ , le Kapton est bien moins sensible aux étirements ce qui permet d'accéder à des classes de circuit imprimé plus élevées, même en présence de trous métallisés.

D'autre part, la précision de réalisation des pistes et donc la classe de réalisation d'un circuit imprimé dépend de l'épaisseur de cuivre. En effet, avec les techniques de gravure humide utilisées pour la réalisation des circuits imprimés sur kapton ou sur epoxy, il n'est pas possible d'obtenir des flancs de pistes droits. Ainsi, plus l'épaisseur de cuivre est importante, plus l'écart entre la largeur de piste voulue et celle finalement obtenue est important, limitant de fait les distances minimales nécessaires pour tenir les tensions d'isolement. Dans notre cas, dans la mesure où nous voulons limiter au maximum la

résistance des spires, nous avons opté pour une épaisseur de cuivre relativement grande, à savoir  $35\ \mu\text{m}$ . Cette épaisseur nous permet de réaliser des motifs dont les côtes minimales sont de  $150\ \mu\text{m}$ . À noter que pour  $18\ \mu\text{m}$  d'épaisseur de cuivre, il est possible d'atteindre une cote minimale de  $100\ \mu\text{m}$ .

Enfin, les techniques de masquage utilisées pour dessiner les pistes sur le circuit imprimé sont aussi source de limitations. En effet, lors de la phase d'insolation de la résine, la source lumineuse produit des rayons qui partent dans toutes les directions de l'espace comme le montre la figure III.57. La résine qui se trouve cachée par le masque est ainsi exposée de manière plus importante en profondeur qu'en surface. Après développement, on se trouve donc en présence d'une résine dont la largeur est plus faible que celle dessinée sur le masque (phase 2).

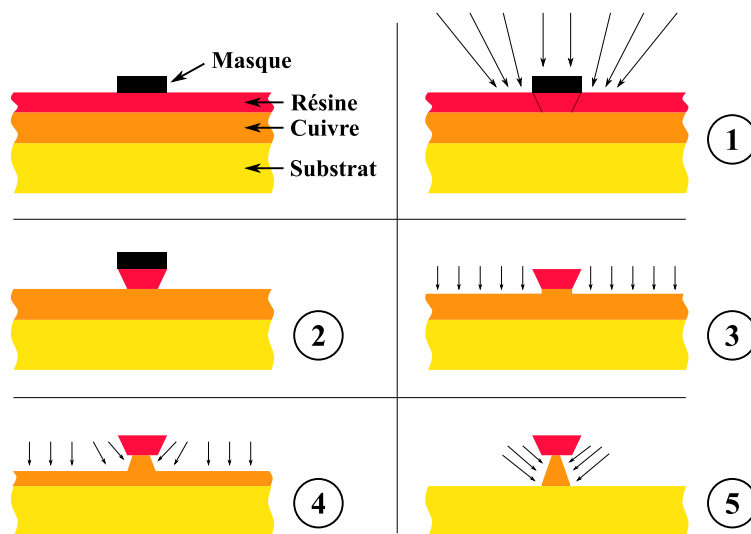


FIG. III.57 – Surgravures liées à la technique de gravure des circuits imprimés

La seconde raison qui ne permet pas de réaliser des motifs très fins par cette technique est liée à la phase de gravure du cuivre, en raison du caractère isotropique de celle-ci, comme l'illustre les phases 3, 4 et 5 de la figure III.57.

Il apparaît donc évident que plus l'épaisseur de cuivre est importante, plus la différence de largeur sera importante entre celle dessinée sur le masque et celle obtenue au final. De plus, la différence relative de largeur au sommet du cuivre et à sa base est également plus importante si l'épaisseur de cuivre est élevée et le motif à graver est étroit.

Suivant la présence ou non de trous métallisés, les circuits imprimés de  $35\ \mu\text{m}$  d'épaisseur de cuivre sont réalisés de manières différentes. En effet, pour réaliser un trou métallisé entre les deux faces, une fois que le circuit imprimé a été percé, une liaison électrique entre les deux faces doit être réalisée. Pour cela, la technique utilisée consiste à partir d'un film kapton cuivré double face d'une épaisseur de cuivre de  $18\ \mu\text{m}$ , de réaliser les perçages, puis d'électrodéposer (voir page 153) le complément pour obtenir  $35\ \mu\text{m}$ . Durant cette

phase d'électrodéposition, le cuivre croit non seulement sur les face mais aussi à l'intérieur des trous, connectant électriquement les deux faces (voir figure IV.15). Pour des circuits imprimés ne nécessitant pas de trous métallisés, on partira directement de film présentant des couches de cuivre de 35  $\mu\text{m}$  d'épaisseur. Cela permet ainsi d'obtenir de meilleurs conductivités (voir tableau figure IV.14).

### III.4.1.2 Transformateur sur kapton

Plusieurs prototypes de transformateurs sur Kapton ont été réalisés.

Le Kapton a été choisi tout d'abord pour ses bonnes caractéristiques di-électriques (tableau figure III.58).

	Rigidité diélectrique	Constante diélectrique	Facteur de pertes	Résistivité transversale
25 $\mu\text{m}$	303 V/ $\mu\text{m}$	3,4	0,0018	$1,5 \cdot 10^{17} \Omega \cdot \text{cm}$
50 $\mu\text{m}$	240 V/ $\mu\text{m}$	3,4	0,0020	$1,5 \cdot 10^{17} \Omega \cdot \text{cm}$
75 $\mu\text{m}$	205 V/ $\mu\text{m}$	3,5	0,0020	$1,4 \cdot 10^{17} \Omega \cdot \text{cm}$
125 $\mu\text{m}$	154 V/ $\mu\text{m}$	3,5	0,0026	$1,0 \cdot 10^{17} \Omega \cdot \text{cm}$

FIG. III.58 – Caractéristiques électriques du Kapton

Comme nous l'avons déjà mentionné, nous avons choisi, lorsque cela était possible, une épaisseur de Kapton de 25  $\mu\text{m}$  afin de maximiser le couplage entre primaire et secondaire du transformateur. De plus, cette épaisseur est largement suffisante vis à vis de la tenue en tension désirée puisqu'elle assure une isolation de plus de 7,5 kV. Malgré tout, cette tenue en tension qui peut paraître de prime abord excessive est nécessaire pour répondre aux exigences industrielles pour lesquelles une isolation aux environs de 6 kV est souvent requise.

Le dimensionnement des bobines sur matériau Kapton ayant déjà été abordé auparavant, nous n'allons pas plus les détailler ici. Ainsi, la réalisation de transformateurs planar sur Kapton s'avère relativement simple, mais présente certaines limites qui ne permettent pas d'assurer des performances optimales dans le cadre de notre projet sur les micro-convertisseurs (tailles importantes, résolution relativement faible d'où un effet de peau important, ...).

D'autres dimensionnements ont été réalisés, dont les dimensions géométriques sont compatibles avec celles des puces actives, au détriment des valeurs électriques souhaitables. Ces dimensionnements de bobines ont été réalisés dans le but de les intégrer de manière hybride avec les puces actives, ce qui nous conduit au PCB de la figure III.59, où l'on voit également les différents éléments du micro-convertisseur qui prendront place sur ce support.

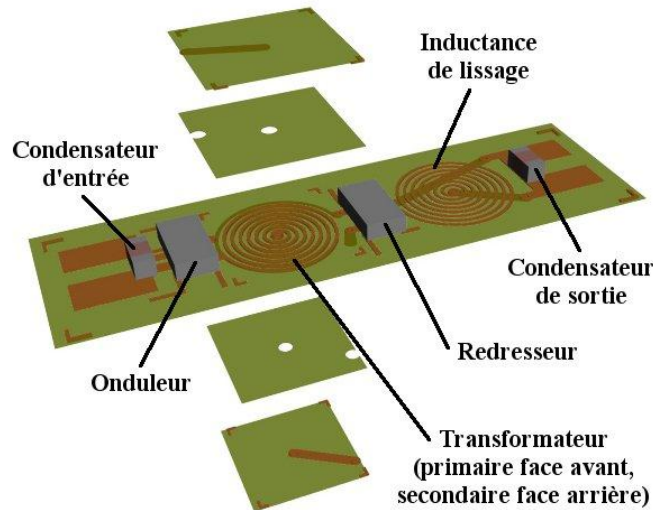


FIG. III.59 – Vue en 3D du micro-convertisseur avec les bobinages intégrés au PCB sur Kapton

Les spirales réalisées ici ne sont donc pas disproportionnées par rapport aux dimensions des parties actives. De plus, leurs géométries exploitent les limites technologiques de réalisation pour l'épaisseur de cuivre de  $35 \mu\text{m}$ , à savoir que les distances minimales sont de  $150 \mu\text{m}$ .

Il reste à mesurer les valeurs d'inductance et de résistance qu'entraîne cette géométrie. Pour cela, nous allons faire une mesure sans circuit magnétique, puis une mesure où deux plaques de ferrite auront été ajoutées de part et d'autre de l'inductance (figure III.60) pour réaliser le circuit magnétique. Afin d'isoler ce circuit magnétique du circuit électrique, deux couches de  $25 \mu\text{m}$  de kapton ont été placées entre la ferrite et le circuit imprimé. Les résultats des mesures sont présentés figure III.61.

Ces valeurs nous montrent bien que dans l'air, l'inductance n'est pas du tout suffisante, puisqu'elle dépasse tout juste les  $100 \text{ nH}$ , mais la résistance à  $1 \text{ MHz}$ , qui amorce à peine sa montée du fait de l'effet de peau, reste relativement satisfaisante à  $0,26 \Omega$ . En présence de ferrite, l'inductance remonte à un niveau satisfaisant pour notre application, mais la résistance augmente elle aussi de manière importante à  $1 \text{ MHz}$ , à cause d'une part des pertes dans le circuit magnétique (3F3) qui n'est pas adapté pour cette fréquence, et d'autre part à cause de l'effet de proximité qui augmente fortement la résistance équivalente des conducteurs. Ce prototype n'est donc pas adapté pour une utilisation en transformateur, puisque son dimensionnement doit être lié à la fréquence de fonctionnement de la structure, à savoir dans notre cas  $1 \text{ MHz}$  et que la résistance à cette fréquence est trop élevée ( $1 \Omega$ ). En revanche, une utilisation en inductance de lissage est possible, puisque la résistance en continu reste faible ( $0,25 \Omega$ ) et l'inductance relativement importante (environ  $1 \mu\text{H}$ ). Cependant, le contenu harmonique de la tension appliquée à l'inductance doit tout de même rester faible pour que la composante continue reste prépondérante et que les

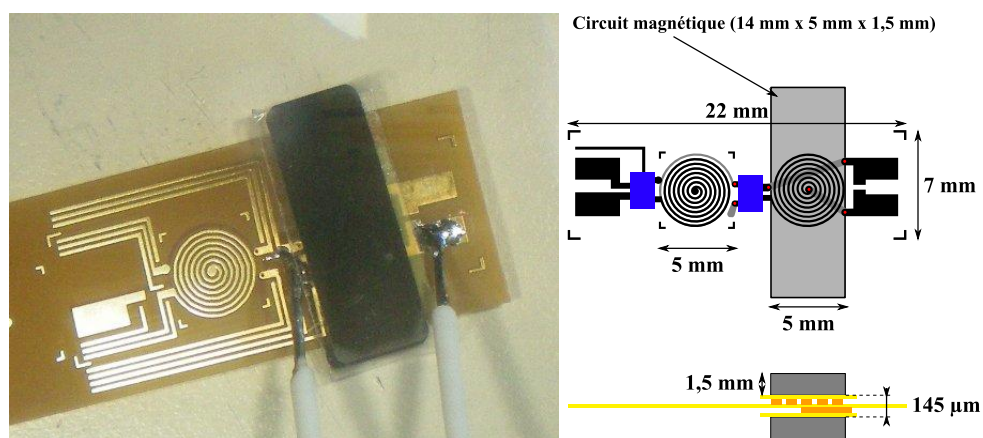


FIG. III.60 – Inductance avec circuit magnétique (3F3)

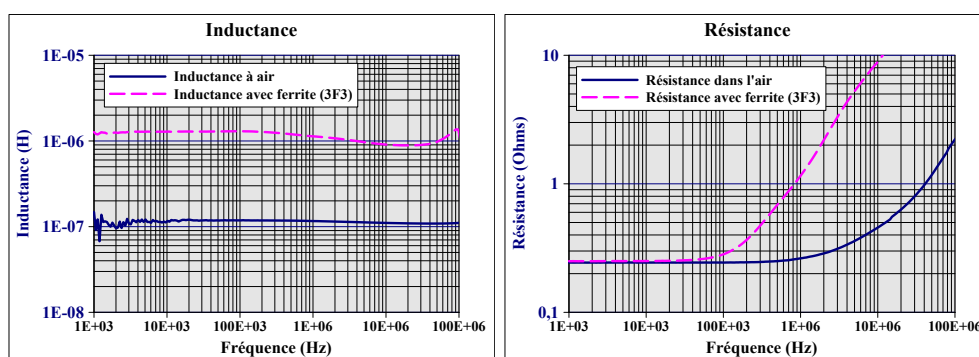


FIG. III.61 – Caractéristiques de l'inductance de lissage avec et sans ferrite (3F3)

harmoniques ne génèrent pas de pertes importantes. Ce point sera d'ailleurs précisé un peu plus loin dans ce chapitre.

Pour limiter l'influence des hautes fréquences au niveau des pertes totales, il peut également être envisagé d'augmenter l'entrefer en rajoutant des épaisseurs d'isolants entre les deux morceaux de ferrites, afin de réduire les effets de proximités. C'est d'ailleurs incontournable dans le cas du transformateur de cette topologie puisqu'il est nécessaire de rajouter des épaisseurs d'isolant supplémentaires par rapport à l'inductance du fait de la topologie en deux couches par faces. La figure III.62 montre ainsi les mesures réalisées en rajoutant les épaisseurs d'isolant nécessaires au transformateur.

Il aurait été intéressant de réaliser d'autres mesures avec du 3F4, mais la forme des pots dans ce matériau que nous avons à notre disposition ne permettait pas de l'utiliser ici. Cependant, on peut imaginer que l'inductance aurait été à peine plus faible, puisque le 3F4 présente une perméabilité relative plus faible que le 3F3, mais la perméabilité relative n'a que peu d'influence dans ce type de transformateur en raison du fort entrefer. De plus, la résistance équivalente des conducteurs devrait probablement être plus faible avec du 3F4, car les pertes volumiques du 3F4 sont également plus faibles que celles du 3F3.

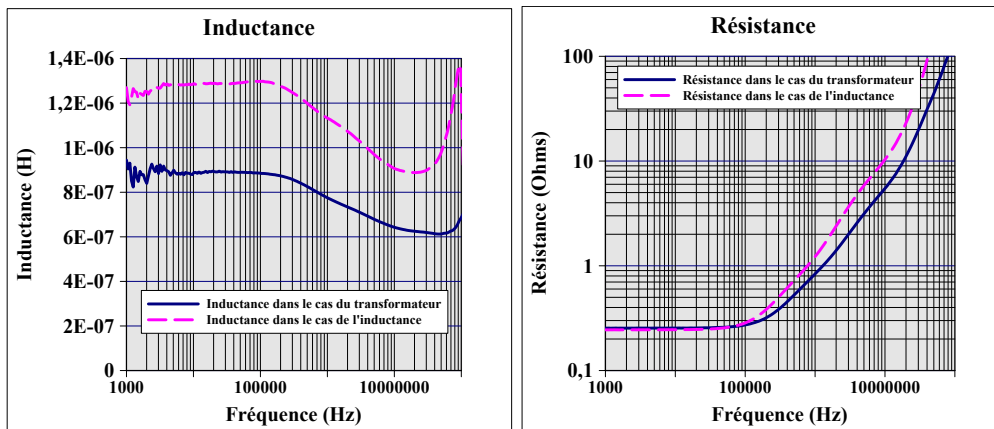


FIG. III.62 – Caractéristiques du transformateur du micro-convertisseur présenté

### III.4.2 Micro-bobines sur silicium

Vis-à-vis des conclusions que nous venons de tirer au sujet des possibilités technologiques sur Kapton, nous proposons ici de montrer que la réalisation du transformateur et de l'inductance de filtrage permet d'envisager d'autres échelles sur silicium. En effet, les techniques de réalisation étant celles utilisées en micro-électronique, elles permettent par exemple d'obtenir des largeurs de piste et d'inter pistes beaucoup plus petites qu'avec les techniques utilisées sur Kapton autorisant de plus fortes densités dans les bobinages.

#### III.4.2.1 Bobines en vis-à-vis

En ce qui concerne la topologie du transformateur, celle que nous venons de voir pour le Kapton pourrait également être réalisée sur silicium, l'isolation étant cette fois assurée par une couche d'oxyde de silicium. La figure III.63 montre une vue en coupe de cet empilement. Le process technologique typique permettant de réaliser ce transformateur est le suivant :

- Oxydation du substrat de silicium
- Dépôt d'aluminium, ou autre métal (bobinage primaire)
- Dépôt d'oxyde de silicium (région inter-bobinage assurant l'isolation galvanique)
- Dépôt d'aluminium, ou autre métal (bobinage secondaire)

Plusieurs questions se posent ici, la première étant de déterminer l'épaisseur d'oxyde à déposer afin d'assurer, d'une part, l'isolation voulue, et d'autre part, un couplage primaire-secondaire maximal. En effet, il n'est pas question de surdimensionner cette épaisseur d'oxyde de silicium, puisqu'une valeur trop importante ferait chuter le couplage, avec ou sans la présence d'un circuit magnétique disposé aux extrémités de la structure.

Suivant les conditions de réalisation de l'oxyde de silicium (type d'oxyde, température, pression, etc), les champs électriques limites peuvent se situer entre  $7 \text{ MV.cm}^{-1}$  et  $10 \text{ MV.cm}^{-1}$ , ce qui nécessite donc entre  $6 \mu\text{m}$  et  $8,5 \mu\text{m}$  de diélectrique pour tenir  $7 \text{ kV}$ .



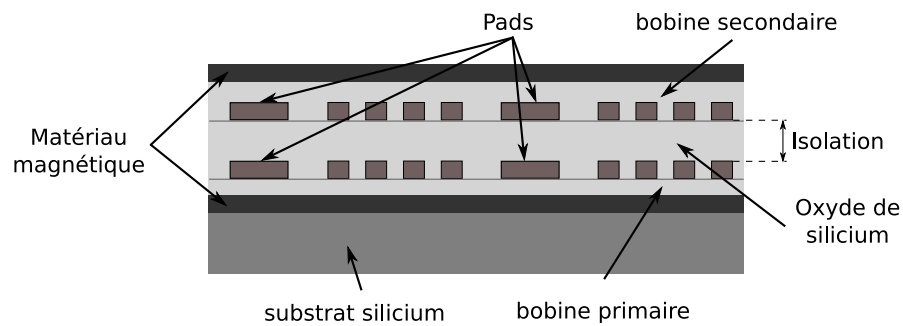


FIG. III.63 – Vue en coupe du transformateur planar silicium

L'autre problème majeur de cette solution est la prise de contact du pad central de l'enroulement primaire. En effet, avec ces deux niveaux de métallisation, il n'est pas possible de contacter les quatre bornes de notre transformateur. Il est donc nécessaire de réaliser trois niveaux de métal pour permettre de reporter la prise de contact central de l'enroulement du bas vers l'extérieur.

En outre, dans le cas des bobines à air, la présence des pads au centre des bobinages est un problème par rapport aux courants de Foucault  $y$  circulant, puisqu'ils sont situés dans une zone où le champ magnétique n'est pas nul [Bog03]. Ces pads risquent donc de générer des pertes Joules relativement importantes si on ne limite pas la circulation du courant en leurs seins. Pour limiter la circulation des courants induits dans ces pads plusieurs solutions existent. On peut par exemple penser à diviser la surface du pad par des tranchées comme le montre la figure III.64. Une autre approche consiste à réaliser une nouvelle couche de métallisation pour ressortir la prise de contact du bobinage en surface or de la spirale.

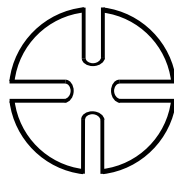


FIG. III.64 – Pad avec tranchées pour limiter les courants de Foucault

### III.4.2.2 Bobines co-planaires et circuit magnétique

Nous avons donc vu que la topologie des bobines en vis-à-vis présente, d'une part, une certaine complexité à la réalisation et, d'autre part, qu'il paraît difficile d'assurer un rebouclage sans entrefer du circuit magnétique. En effet, la réalisation des couches inférieures et supérieures de matériau magnétique ne pose pas de problème tant que l'on se contente de faibles épaisseurs et que l'on ne cherche pas à le feuilleté pour limiter

les pertes fer. Par contre, pour réaliser un circuit magnétique complètement fermé, cela pose des problèmes, notamment vis-à-vis des "jambes" du circuit magnétique. Ainsi, il est nécessaire de déposer des épaisseurs plus importantes de matériau magnétique, car la longueur de ces "jambes" doit être égale à trois épaisseurs d'isolant et deux épaisseurs de cuivre, ce qui peut atteindre facilement une trentaine de micro-mètres. De plus, il est également nécessaire de laisser de la place au centre des spirales pour la jambe centrale, tout en gardant au moins  $3 \mu\text{m}$  dans le plan autour du circuit magnétique pour conserver l'isolation. La figure III.65 montre les contraintes liées à la réalisation d'un tel dispositif. En outre, cela nécessite des étapes et donc des masques supplémentaires.

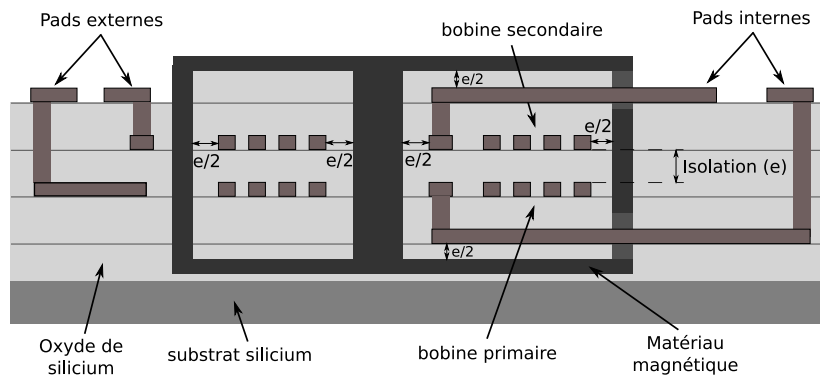


FIG. III.65 – Transformateur planar silicium avec circuit magnétique fermé et reports des prises de contact internes

Pour simplifier la réalisation du micro-transformateur et surtout permettre d'obtenir un circuit magnétique sans entrefer, nous proposons la réalisation de la structure coplanaire présentée figure III.66.

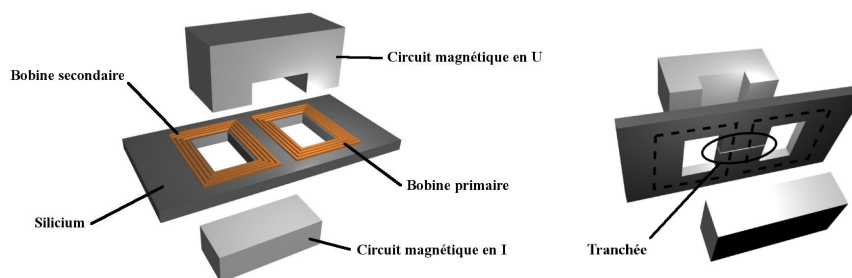


FIG. III.66 – Vue éclatée du transformateur sur silicium

Cette structure présente, sur un seul niveau, les deux bobines, primaire et secondaire, ce qui assure une prise de contact facilitée et une réalisation beaucoup plus simple, rapide et moins coûteuse dans une phase industrielle, puisqu'elle comporte moins d'étapes. Le couplage entre les deux bobines est assuré par un circuit magnétique dont la forme est inspirée des circuits classiquement utilisés en électronique de puissance, à savoir le U et le I. Ce circuit magnétique traverse le silicium au centre de chaque bobine, il est donc

nécessaire de créer des cavités traversante dans le substrat. Celles-ci seront réalisées par la technique de DeepRIE (voir page 149) afin d'obtenir des fronts de gravure verticaux.

Nous verrons dans le 4ème chapitre les moyens mis en oeuvre et les problèmes rencontrés en ce qui concerne la réalisation de ce micro-transformateur.

Cette structure répond donc aux problèmes et limites des précédentes approches ou solutions techniques, mais il apparait un inconvénient non négligeable en fonctionnement. En effet, bien que les bobines soient isolées du substrat de silicium par une couche d'oxyde de silicium, le substrat se comporte comme une spire en court-circuit en dessous de chacune des bobines, ce qui est à l'origine de pertes joules supplémentaires importantes.

Pour remédier à ce problème, nous proposons de couper ces spires présentes au niveau du substrat. Pour cela, il est nécessaire de réaliser une tranchée sur toute l'épaisseur du substrat et qui joint les deux trous traversants (voir figure III.66). Ainsi, les courants induits ne peuvent plus circuler, ce qui permet de limiter les pertes. La couche d'oxyde de silicium située au dessus de cette tranchée permet de servir de support physique aux bobinages primaire et secondaire. Pour éviter une rupture de cette couche d'oxyde et des pistes de cuivre au dessus de la tranchée, il faut que la largeur de cette tranchée soit la plus faible possible, ce qui posera des problèmes, comme nous le verrons dans le chapitre 4.

Concernant les simulations de cette structure avec Flux2D, il est nécessaire de préciser certains points. Tout d'abord, cette topologie ne possède pas d'axe de révolution, il a donc fallu adopter une simulation de type 2D plan. Ceci implique de définir une profondeur de géométrie, qui s'applique à l'ensemble du problème. Or, les spires internes sont plus courtes que les spires externes, la question de la profondeur à simuler se pose donc, afin de retrouver des valeurs les plus proches possibles de la réalité. Ainsi, la valeur de la profondeur a été déterminée par approche successive de l'inductance dans l'air de ces spirales (par simulation), vis-à-vis de la valeur analytique.

D'autre part, pour simuler la présence de la tranchée, dans la mesure où il n'est pas possible de la situer au centre de la géométrie, le silicium a été divisé en trois parties, qui sont connectées ou non suivant la présence de la tranchée, comme le montre la figure III.67. En l'absence de tranchée, les résistances  $R$  sont nulles, alors que pour simuler la tranchée, les résistances  $R$  sont égales à l'infini (en pratique  $10^8 \Omega$ ) Ceci implique donc que les simulations montrent des courants résiduels probablement supérieures à la réalité, puisque le "barreau" de silicium  $Si_2$  est normalement coupé en son milieu, et non à ses extrémités.

Une première solution est donc d'utiliser des substrats de silicium suffisamment résistifs ou des substrat alumine ou céramique pour réduire ces courants induits. le tableau de la figure III.68 présente les résultats de simulation Flux2D de cette structure, en considérant deux résistivités courantes de substrats.

Nous pouvons observer une variation importante des pertes en fonction de la résistivité du substrat. Cependant, il est encore possible de réduire de manière plus importante ces

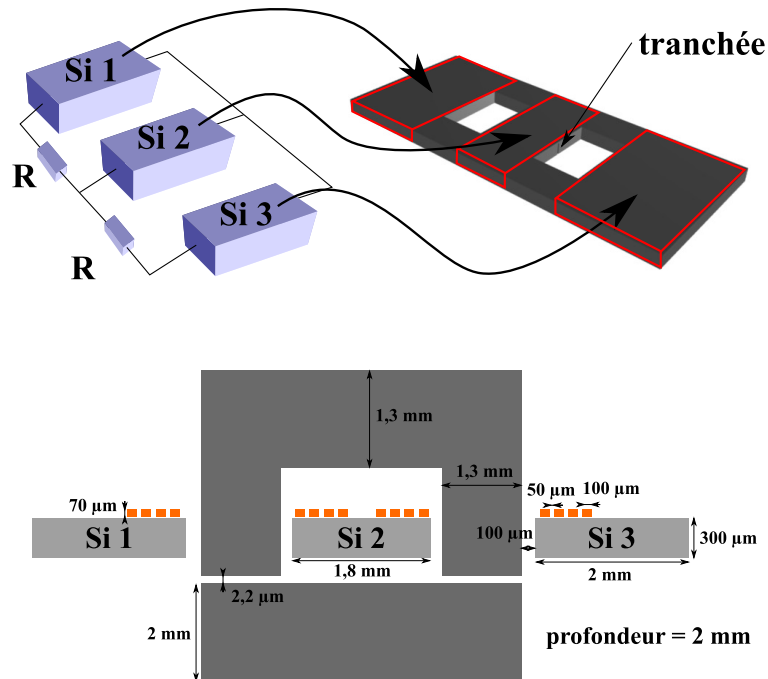


FIG. III.67 – Dimensions du circuit simulé sous Flux2D

	Transformateur à vide		Transformateur en charge nominale	
	Sans tranchée	Avec tranchée	Sans tranchée	Avec tranchée
$\rho_{Si} = 0.05 \Omega.m$	225 mW	16 $\mu$ W	223 mW	102 $\mu$ W
$\rho_{Si} = 100 \Omega.m$	113 $\mu$ W	8 nW	112 $\mu$ W	51 nW

FIG. III.68 – Pertes dans le silicium

perdes et cela sans complexifier fortement la réalisation du micro-transformateur. Ainsi, la présence d'une tranchée dans le silicium entre les deux cavités permet de réduire encore les pertes.

Les résultats de simulation montrent une réduction des pertes à quelques dizaines de nW en fonctionnement nominal avec un substrat fortement résistif et en présence d'une tranchée.

Concernant la réalisation du circuit magnétique, nous avons choisi la famille des ferrites en raison de leurs bonnes perméabilités et de leurs résistivités. Nous aurons l'occasion de revenir sur ces critères ultérieurement dans ce mémoire. L'étude des dimensions et de la réalisation de ce circuit sera également fait un peu plus tard. Intéressons-nous maintenant au problème de l'entrefer. En effet, l'avantage de cette structure par rapport aux bobines en vis-à-vis présentées précédemment est qu'il est possible de refermer le circuit magnétique assez facilement. Cependant, le fait d'avoir deux pièces séparées qui seront donc mises

bout à bout pour refermer ce circuit oblige à avoir un bon état de surface pour réduire au maximum l'entrefer résiduel entre les deux parties du circuit.

L'estimation de cet entrefer est nécessaire pour dimensionner, entre autres, le nombre de spires, ainsi que les dimensions géométriques du circuit magnétique pour atteindre une valeur d'inductance magnétisante suffisante pour notre application. Pour estimer l'effet que cet entrefer pourrait introduire, il est donc nécessaire de mesurer la rugosité de la surface (rectifiée) de la ferrite. La figure III.69 montre l'image obtenue par mesure AFM de cette surface.

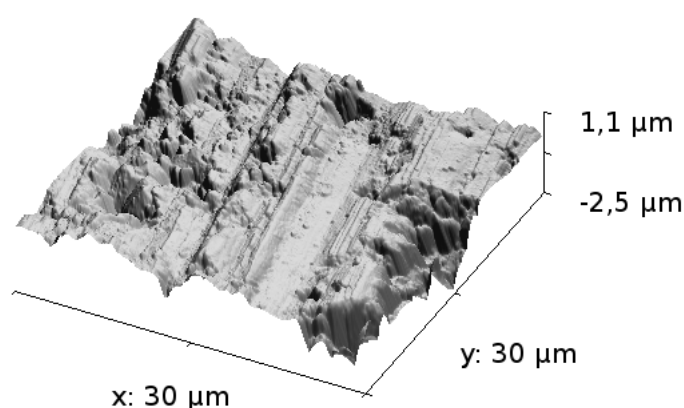


FIG. III.69 – Cartographie AFM de la surface rectifiée de la ferrite

Cette mesure montre un écart entre la valeur moyenne de la surface (altitude 0) et l'altitude maximale des pics de  $1,1 \mu\text{m}$ . Cela signifie que l'entrefer moyen résiduel sera au maximum de  $2,2 \mu\text{m}$ , en supposant que la zone imagée est bien représentative de l'ensemble de la surface mise en contact.

Cette mesure d'entrefer estimée nous permet donc maintenant de simuler cet effet sur les caractéristiques de l'inductance sous Flux2D. La figure III.70 montre d'une part les densités et la répartition du courant circulant dans le silicium en l'absence de tranchée, et d'autre part la valeur de l'induction magnétique le long du circuit noté CM au centre du circuit magnétique.

Ces mesures nous montrent le niveau maximum d'induction dans le circuit magnétique, ce qui nous permettra d'en déduire l'importance des pertes à l'aide des abaques du constructeur. Cela reste une estimation, puisque le champ mesuré ici est un champ existant sur le chemin CM. Le champ étant plus important dans les coins intérieurs, et plus faibles dans les coins extérieurs, il est difficile de déterminer précisément les pertes dans le circuit magnétique. Il s'agit ici simplement de donner un ordre de grandeur. Cette valeur est à rapprocher du calcul qui donne la valeur du champ maximal dans le circuit magnétique d'un transformateur :

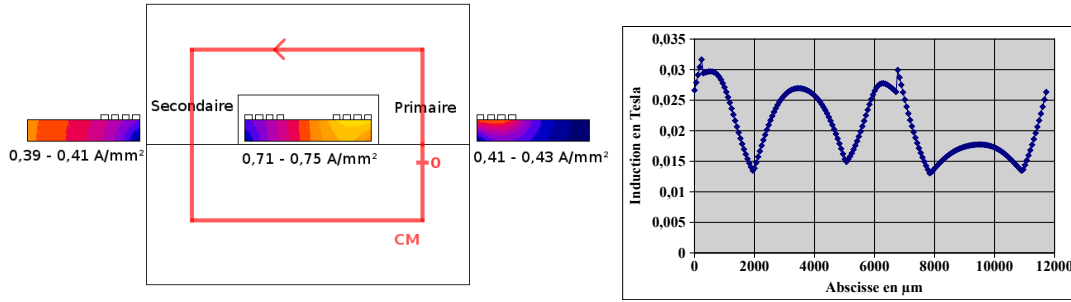


FIG. III.70 – Répartition du courant dans le silicium sans tranchée et niveau d'induction dans la ferrite sur le chemin « CM »

$$B_{max} = \frac{V_{eff}}{4,44.f.N.S_{fer}}$$

Ce calcul nous donne dans notre cas un valeur de  $B_{max} = 64 \text{ mT}$ , ce qui est plus élevé que la valeur évaluée par simulation. Ceci est normal puisque la présence de l'entrefer (même de faible valeur) fait chuter la valeur du champ dans le circuit magnétique.

On peut également observer le niveau élevé des densités de courants en l'absence de tranchée (figure III.70) qui génèrent des pertes importantes (voir tableau III.68, sans tranchée,  $\rho_{Si} = 0.05 \Omega.m$ , secondaire en charge :  $P = 223 \text{ mW}$ ).

Cette structure n'est cependant pas idéale concernant nos besoins d'isolation entre le primaire et le secondaire. En effet, il est nécessaire de garder une certaine distance entre les bobines et le circuit magnétique. Cette distance dépendant bien entendu des moyens de passivation utilisés. Pour notre prototype, nous n'allons pas nous préoccuper de cet isolation, pour des raisons de réalisabilité en un temps assez court. Mais, par exemple, il est possible de déposer de l'oxyde de silicium sur les bobines (en laissant des ouvertures pour les prises de contacts). Il suffirait alors de quelques  $\mu\text{m}$  (entre  $7 \mu\text{m}$  et  $10 \mu\text{m}$  suivant la qualité de l'oxyde) pour assurer les  $7 \text{ kV}$  d'isolation. L'utilisation d'un gel de passivation est aussi envisageable car plus simple à mettre en oeuvre.

Concernant les caractéristiques géométriques et électriques des enroulements de cette topologie, elles sont issues de l'étude présentée au chapitre 1, où le nombre de spire optimal a été déterminé à quatre spires (figure I.17), ce qui correspond à une résistance par bobine de  $90 \text{ m}\Omega$ .

Il reste à vérifier que cette structure ne présente pas de capacités parasites importantes, ce qui pourrait limiter la fréquence à laquelle il est possible de l'utiliser. La figure III.71 présente les principales capacités qui seraient susceptibles de poser problème.

Chaque capacités représentées sur cette figure correspond à la surface en regard entre une demi-spire et le substrat. Par rapport aux caractéristiques géométriques retenues

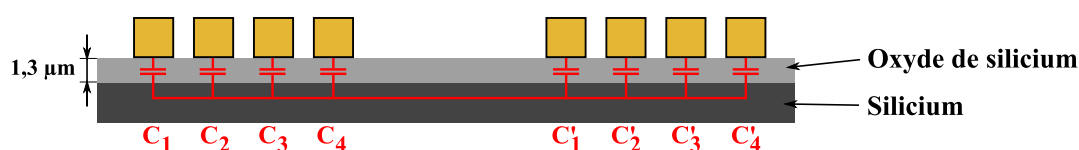


FIG. III.71 – Capacités inter-spires concernant la topologie silicium avec circuit magnétique reporté

(figure III.67), la somme de ces capacités est égale à environ 100 pF. La valeur moyenne des capacités entre spires (qui correspond à la mise en série de deux capacités représentées ci-dessus), est égale à environ 10 pF.

Ces valeurs de capacités, par rapport à la valeur de l'inductance magnétisante (environ  $2 \mu\text{H}$ ), nous donne une fréquence maximale d'utilisation correspondante au calcul suivant :

$$f_{max} = \frac{1}{\sqrt{2\pi LC}} \approx 30 \text{ MHz}$$

Cette structure est donc utilisable sans problème à la fréquence souhaitée de 1 MHz.

### III.4.2.3 Avantages et inconvénients de ces technologies : conclusions

Dans cette partie, nous avons exploré deux voies pour la réalisation de nos micro-transformateurs et micro-inductances. Chacune d'entre elles présente certains avantages mais aussi des inconvénients et nous proposons ici d'en faire un rapide bilan.

La technologie Kapton cuivré est tout d'abord simple à mettre en oeuvre, puisqu'il suffit de concevoir le dessin des pistes de cuivre comme pour un PCB classique, même s'il est nécessaire de respecter quelques règles simples pour garantir un résultat correct. Cependant, elle présente des limites pour notre application, car les dimensions minimales ne permettent pas une utilisation optimale du cuivre à la fréquence considérée. De plus, les tailles des prototypes ne sont pas compatibles avec la taille du micro-convertisseur visé, puisque les valeurs d'inductances que l'on doit atteindre dans l'air obligent à concevoir des structures géométriques avec un nombre important de spires conduisant à des surfaces elles aussi très importantes. L'ajout du circuit magnétique (sur deux couches, donc avec entrefer important) ne permet pas de réduire de manière conséquente ce dimensionnement. La réalisation d'un circuit magnétique fermé (qui permet donc d'atteindre des valeurs d'inductance et de rapports L/R plus importants) est possible dans les deux cas (solution Kapton et solution silicium), mais il faut alors bien faire attention à garder l'isolation entre primaire et secondaire.

La technologie silicium semble être plus adaptée à notre réalisation, car les dimensions géométriques minimales sont tout à fait compatibles avec les effets de peau à la fréquence de fonctionnement. Cependant, la réalisation de ces structures est plus complexe puisqu'elle fait appel à une succession d'étapes technologiques qui doivent être réalisées en salle

blanche. Les difficultés inhérentes à chaque étapes seront détaillées dans le 4ème chapitre. Nous verrons également les perspectives liées à cette structure à la fin de ce chapitre, afin de s'approcher d'une solution viable, bien que cela se fasse au détriment de la simplicité de réalisation.

### III.4.3 Moyens de réalisation du circuit magnétique

#### III.4.3.1 Circuit magnétique reporté

##### III.4.3.1.a Choix du matériau

Il convient maintenant de s'intéresser au matériau magnétique à utiliser dans le cas de la topologie co-planaire. Il existe de nombreuses familles de matériaux magnétiques qui ont chacune des caractéristiques différentes, que ce soit par rapport à leur perméabilité relative ou par rapport à leur comportement en fréquence ou à leur pertes.

Les matériaux magnétiques métalliques de type Fe, alliages FeSi, FeNi, amorphes ou nanocristallins ne peuvent pas convenir pour des applications à fréquences élevées. En effet, la faible résistivité de ces matériaux entraîne une épaisseur de peau très petite, ce qui ne permet d'exploiter qu'une toute petite partie du circuit magnétique, en surface, dans le cas d'un matériau massif. Un moyen possible pour limiter ces effets est de structurer le matériau en lamelles. En effet, des travaux ont montrés la possibilité d'utiliser du FeNi feuilleté autour du MHz dans le cadre de la réalisation d'inductance intégrée [Bog03].

Une des familles de matériaux qui semblent donc les plus adaptées aux fréquences de notre application est celle des ferrites. Le tableau III.72 présente les principales variantes de ferrites et leurs fréquences d'utilisation optimales.

Fréquence	Ferrite	Perméabilité
0 à 1MHz	MnZn	1000 à 15000
1 à 500MHz	NiZn	10 à 1000
Hyperfréquences	$Y_3Fe_5O_{12}$	100 à 300

FIG. III.72 – Familles de Ferrites en fonction de la fréquence d'utilisation [Leb87]

D'après ce tableau, il apparait que le matériau le plus adapté à notre application est le MnZn, qui permet de garder une valeur de perméabilité relative assez importante pour des fréquences d'utilisation autour du MHz. D'après ce tableau, l'utilisation de NiZn serait également envisageable, mais les perméabilités relatives de ces matériaux adaptés à la conversion d'énergie sont très faibles (de l'ordre de 80), ce qui nous pousse à écarter ce matériau.

Pour réaliser nos premiers tests, nous avons à notre disposition une ferrite de chez Epcos, dont la dénomination est N97. Cette ferrite possède d'assez bonnes caractéristiques, à savoir une perméabilité relative de 2200, jusqu'à une fréquence d'environ 1 MHz (voir



figure III.73). Le problème majeur de ce matériau est le niveau de pertes qui devient critique à 1 MHz. Pour la réalisation finale de notre micro-convertisseur, il va donc falloir trouver un autre matériau plus adapté.

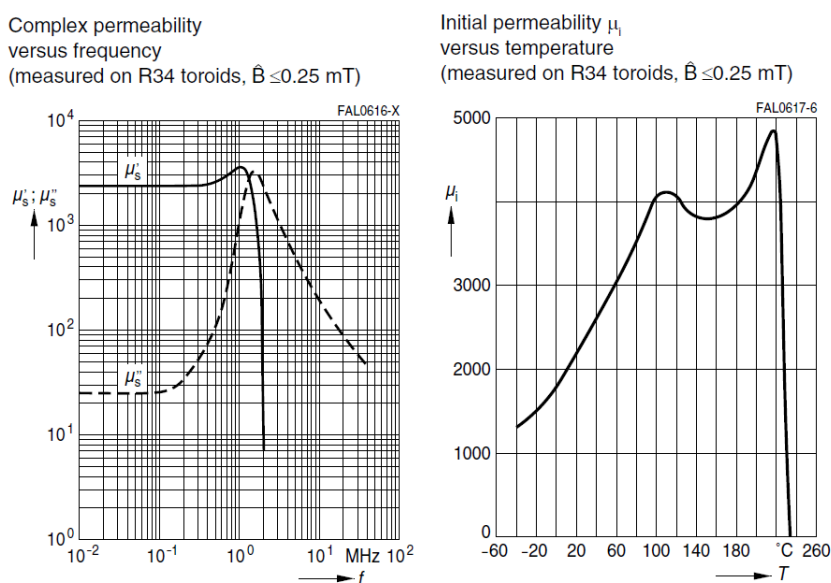


FIG. III.73 – Caractéristiques de la ferrite utilisée pour les tests (N97)

On peut constater sur cette figure que l'évolution de la partie réelle de la perméabilité complexe du N97 ne pose donc pas de problème jusqu'à 1 MHz. En revanche, la partie imaginaire augmente de manière significative au-delà de 200 kHz, ce qui signifie un niveau élevé de pertes à 1 MHz.

Nous avons donc cherché un autre matériau, dont les pertes n'évoluent pas de manière importante jusqu'à 2 MHz, fréquence à laquelle fonctionne notre inductance. Ferroxcube propose un matériau qui présente de telles caractéristiques, il s'agit de la ferrite 3F4, dont les caractéristiques sont présentées figure III.74.

À 2 MHz, les pertes restent donc encore relativement raisonnables, mais cette montée en fréquence possible se fait au détriment de la perméabilité relative qui ne dépasse pas la valeur de 1000.

Maintenant que le choix du matériau est fait, il reste à trouver la forme du pot qui permettra de réaliser le plus simplement possible la forme désirée. En effet, l'usinage de la ferrite est complexe, car c'est un matériau très dur et cassant, ce qui oblige l'utilisation d'outils diamantés. Pour faciliter l'usinage, il faut donc limiter au maximum le nombre de phases de sciage, ce qui nécessite donc de trouver une forme de pot dont certaines dimensions sont égales à celles du produit fini. Cela permet aussi de garantir des états de surface satisfaisants qui à terme offriront des entrefers limités.

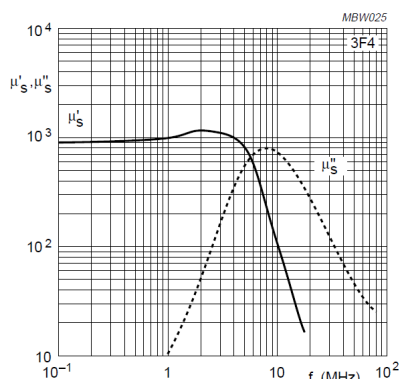


FIG. III.74 – Caractéristiques de la ferrite utilisée (3F4)

En ce qui concerne les premiers essais réalisés avec le matériau N97, il s'agit du EFD 15. Pour le 3F4, le choix du pot fut plus difficile dans la mesure où lorsque nous voulions commander ce matériau, nos fournisseurs ne proposaient que très peu de pots réalisés avec du 3F4. Un seul pot se rapprochait des dimensions voulues, mais l'usinage devait comporter des phases supplémentaires.

La figure III.75 présente les dimensions de notre circuit magnétique.

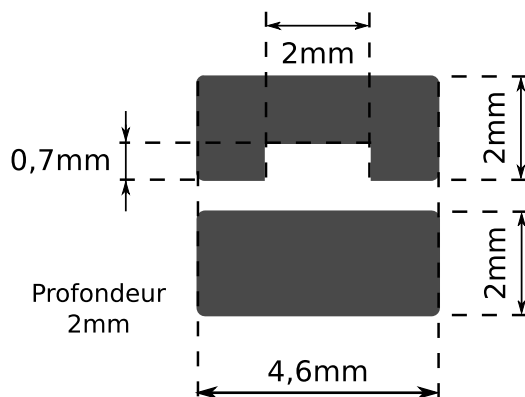


FIG. III.75 – Dimensions du circuit magnétique usiné

#### III.4.3.1.b Estimation des pertes dans le circuit magnétique

Afin d'estimer les pertes dans le circuit magnétique, nous allons maintenant simuler son comportement à l'aide du logiciel Flux 2D. Pour cela, Ferroxcube fournit des abaques sur les pertes volumiques du 3F4, en fonction de l'amplitude et de la fréquence du champ d'induction appliqué (figure III.76).

Dans le cas du transformateur, nous avons vu que le champ maximal moyen était situé autour de 30 mT, ce qui nous donne un niveau de pertes volumiques de l'ordre de

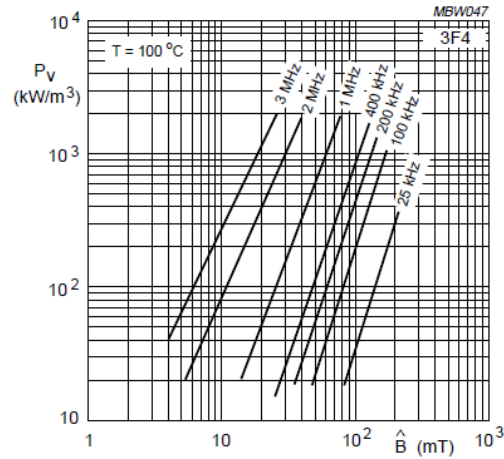


FIG. III.76 – Pertes volumiques du 3F4 en fonction de la fréquence et de l'amplitude du champ magnétique

$150 \text{ kW/m}^3$  à 1 MHz. Or, le volume de notre circuit magnétique est de  $29,2 \text{ mm}^3$ , ce qui nous donne des pertes de l'ordre de 4,5 mW, ce qui reste relativement limité puisque cela correspond à moins de 0,5 point de rendement lorsque la structure fonctionne à puissance nominale.

Cependant, cette estimation ne considère que le fondamental du champ magnétique appliqué. La tension appliquée au transformateur n'est pas sinusoïdale, ce qui implique la présence d'harmoniques qui vont générer des pertes supplémentaires. Bien que les amplitudes des harmoniques soient plus faibles que celle du fondamental, le niveau des pertes volumiques augmentent fortement avec la fréquence, ce qui ne permet pas de négliger complètement leurs effets.

Pour s'en rendre compte, il suffit de calculer l'amplitude des harmoniques de la tension appliquée au primaire du transformateur, en faisant sa décomposition en série de Fourier, ce qui donne l'expression suivante :

$$|b_n| = \frac{4V_e}{2\pi n} \left| \cos\left(\frac{\pi(1-\alpha)n}{2}\right) - \cos\left(\frac{\pi(1+\alpha)n}{2}\right) \right|$$

Il apparaît donc que les harmoniques peuvent générer des pertes non négligeables puisqu'aux environs du 7ème rang (c'est à dire ici jusqu'à 7 MHz), leurs amplitudes dépassent 0,5 V.

Dans la mesure où les abaques donnent ces pertes volumiques que jusqu'à une fréquence de 3 MHz, nous ne pouvons pas estimer les pertes pour des fréquences supérieures. Nous pouvons cependant calculer les pertes liées à l'harmonique 3 en faisant une règle de proportionnalité entre le champ magnétique généré et la tension appliquée, ce qui donne les valeurs du tableau figure III.78.

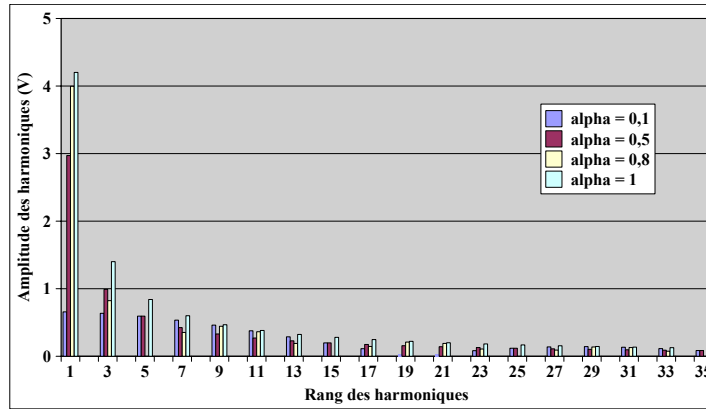


FIG. III.77 – Harmoniques de la tension appliquée au primaire du transformateur en fonction du rapport cyclique

$B_{max\ 3}$	$P_{vol\ 3}$	Pertes
7 mT	120 $kW/m^3$	3,5 mW

FIG. III.78 – Pertes dues à l'harmonique de rang 3

Ce niveau de pertes correspond presque à celui du fondamental, bien que l'amplitude de la tension appliquée soit bien plus faible. Il est donc envisageable d'estimer des pertes aux plus hautes fréquences du même ordre de grandeur que celles liées au fondamental.

Pour l'inductance de sortie, la problématique est sensiblement différente, puisque le champ d'induction est la somme d'une composante continue et d'une composante alternative.

La composante continue est imposée par la charge et n'est pas à l'origine des pertes dans le circuit magnétique. En revanche, il est nécessaire de déterminer les caractéristiques de la composante alternative (fondamental et harmoniques) en fonction du rapport cyclique pour pouvoir calculer une estimation des pertes dans le circuit magnétique. Pour cela, le calcul des coefficients de Fourier de la tension appliquée aux bornes de l'inductance de sortie a été réalisé et permet de générer le spectre de la figure III.79.

Le fondamental atteint son maximum pour un rapport cyclique égal à 0,5, on va donc estimer les pertes pour cette valeur. Une estimation des pertes pour un rapport cyclique de 0,8 est également intéressant puisque, d'une part, ce rapport cyclique est plus proche de la plage de variation de tension que l'on s'est fixée et, d'autre part, les harmoniques sont plus nombreuses que pour un rapport cyclique de 0,5.

Il ne faut pas oublier qu'ici les rangs des harmoniques correspondent à une fréquence fondamentale de 2 MHz, ce qui ne permettra pas de pouvoir estimer les pertes liées aux harmoniques, car le constructeur ne fournit les abaques que jusqu'à 3 MHz.

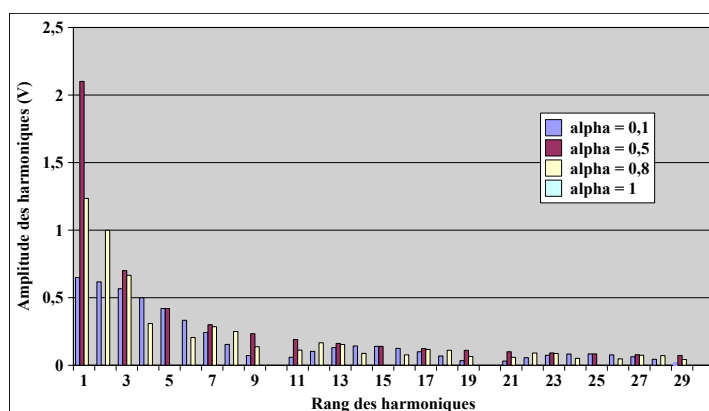


FIG. III.79 – Harmoniques de la tension appliquée à l'inductance de lissage en fonction du rapport cyclique

Nous pouvons tout de même faire ce calcul pour le fondamental, pour des rapports cycliques différents, ce qui donne les résultats du tableau figure III.80.

	$\alpha = 0,1$	$\alpha = 0,5$	$\alpha = 0,8$
Pertes	0,6 mW	8,2 mW	2 mW

FIG. III.80 – Pertes dues au fondamental dans le circuit magnétique de l'inductance

Ces valeurs confirment de nouveau le fait que le rendement est meilleur à rapport cyclique élevé (voir chapitre 2), car les pertes dans le circuit magnétique de l'inductance sont maximales pour  $\alpha = 0,5$ .

### III.4.3.2 Circuit magnétique déposé

Nous avons vu une structure de transformateur et d'inductance où le circuit magnétique a été réalisé par usinage de ferrite, ce qui constitue une solution peu courante vis à vis de la méthode de réalisation de circuit magnétique. Une technique plus classiquement utilisée en micro-électronique consiste à déposer une couche, plus ou moins épaisse, de matériau magnétique.

Une technique courante permettant de déposer une couche de matériau magnétique est l'électrodéposition. Le principe de fonctionnement de cette technique est abordé plus en détail page 153. L'utilisation de cette méthode est possible puisque le FeNi (80% de Nickel et 20% de Fer) présente une faible résistivité (environ  $20\Omega.m$  [Bog03]). Cette caractéristique est cependant un inconvénient majeur puisque cela implique une épaisseur de peau très faible ( $7\mu m$  à une fréquence de 1 MHz), empêchant ainsi d'exploiter une grande partie du matériau si on souhaite en déposer plus de deux fois l'épaisseur de peau. Il est alors nécessaire de feuilletter le matériau [Bog03] pour limiter l'influence de l'effet de peau et

réduire les courants induits, sources de pertes. Ce feuilletage peut alors être réalisé à l'aide d'un moule en résine (figure III.81), dans lequel le matériau magnétique est électro-déposé. L'épaisseur de circuit magnétique réalisable est limitée par le rapport de forme réalisable du moule en résine (typiquement 1 pour 10, c'est à dire que pour une largeur de  $10\ \mu\text{m}$ , la hauteur du moule peut atteindre  $100\ \mu\text{m}$ ).

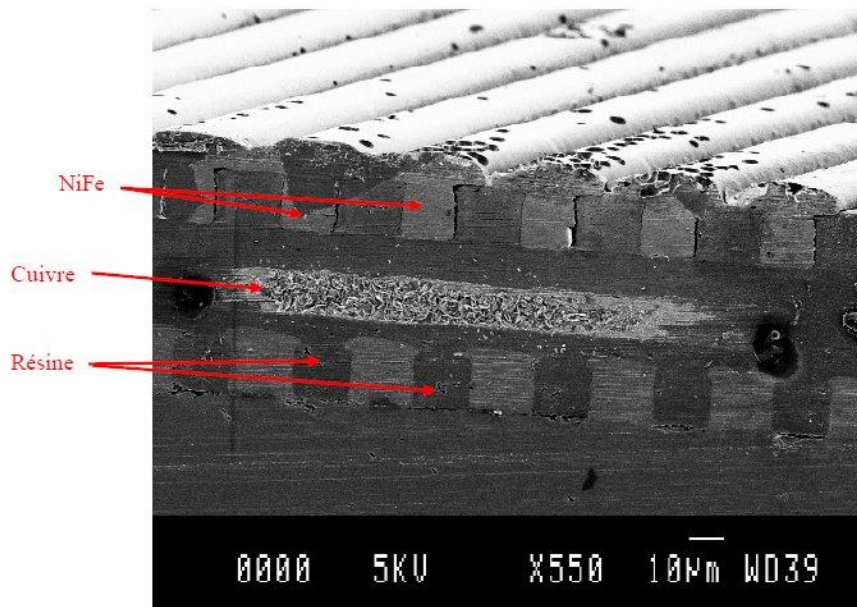


FIG. III.81 – Circuit magnétique déposé feuilleté [Bog03]

Cette méthode de réalisation d'un circuit magnétique par dépôt est donc, a priori, plus adaptée à des structures planars telles que les nôtres, puisque le matériau peut être déposé au plus proche des bobinages, et de manière précise. L'inconvénient majeur est cependant la relativement faible épaisseur de matériaux que l'on peut déposer. De plus, il est plus difficile de fermer le circuit par cette méthode. C'est d'ailleurs pour cette raison que nous avons préféré approfondir la méthode de réalisation par usinage de ferrite durant ces travaux.

### III.5 Conclusion et perspectives sur les composants passifs

Ce chapitre a donc été l'occasion de traiter des problématiques liées à la conception et à la réalisation des composants passifs nécessaires à notre micro-convertisseur. Plusieurs technologies et structures de composants inductifs (inductance et transformateur) ont été abordées afin de déterminer les avantages et inconvénients de chacune d'entre elles.

Cette étude a également été l'occasion de faire une prospection vers la conception d'éléments inductifs adaptés à des fréquences plus élevées que celle choisie au chapitre 1 pour notre application, ceci afin d'anticiper sur les évolutions technologiques notamment

des composants actifs.

Un des objectifs de ces travaux a également été de conserver une simplicité de réalisation maximale, pour garantir, d'une part, de faibles taux de déchets et, d'autre part, un coût minimal. En effet, des structures complexes demandent un nombre important de phases de réalisation, qui multiplie donc les chances d'apparition d'un défaut sur le produit fini.

Les dimensionnements proposés ici peuvent être classés suivant plusieurs catégories :

- Technologie Kapton cuivré : caractéristiques électriques peu adaptées, dimensions géométriques inadéquates mais réalisation simple
- Technologie silicium avec bobines en vis-à-vis : caractéristiques électriques a priori adaptées, dimensions géométriques adaptées au circuit actif mais réalisation beaucoup plus complexe
- Technologie silicium avec bobines coplanaires et circuit magnétique en ferrite usinée : caractéristiques électriques correctes, dimensions géométriques acceptables, difficultés de réalisation acceptables

Cette dernière structure reste cependant à améliorer, dans la mesure où nous avons comme objectif de réaliser un premier prototype fonctionnel, au détriment du taux de réussite de fabrication des échantillons et de la tenue diélectrique de 7 kV souhaitée. Ce fut surtout l'occasion de se confronter aux difficultés de réalisation comme nous le verrons dans le 4ème chapitre et de se rendre compte des contraintes liées à chaque étape.

Comme nous l'avons déjà mentionné plus haut, une phase de passivation des bobines est nécessaire pour assurer l'isolation entre les différents éléments du transformateur. De plus, une structure à deux couches permettrait de reporter directement les puces actives en flip-chip sur le transformateur.

D'autres perspectives de cette structure liées à l'aspect technologique seront abordées dans le 4ème chapitre.

Une voie non explorée durant ces travaux (par manque de temps) consiste à utiliser la technologie Kapton cuivré afin de réaliser une structure comportant un circuit magnétique fermé, permettant a priori d'améliorer les caractéristiques électriques ainsi que les dimensions géométriques nécessaires.





## Chapitre IV

---

# Réalisation globale et technologies d'hybridation

---

### SOMMAIRE

---

IV.1 OBJECTIFS DE CETTE ÉTUDE TECHNOLOGIQUE D'HYBRIDATION . . . . .	144
IV.2 PROCÉDÉS TECHNOLOGIQUES ENVISAGEABLES . . . . .	145
IV.2.1 Techniques de base en micro-électronique / micro-système . . . . .	145
IV.2.2 Dépôts de résine pour usages diélectriques . . . . .	152
IV.2.3 L'électrodéposition . . . . .	153
IV.2.4 Flip-chip . . . . .	155
IV.3 RÉALISATION ET PACKAGING DU MICRO-CONVERTISSEUR . . . . .	156
IV.3.1 Réalisations technologiques des passifs . . . . .	156
IV.3.2 Solutions envisageables vis à vis du packaging . . . . .	166
IV.4 BILAN ET PERSPECTIVES DE CETTE ÉTUDE . . . . .	168
IV.5 CONCLUSION SUR L'HYBRIDATION . . . . .	169

---

### Résumé

*Ce chapitre a pour but de présenter les moyens technologiques mis en oeuvre pour la réalisation des composants passifs dont l'étude a été faite dans le chapitre précédent. Ces outils peuvent également être utilisés dans le cadre du packaging de l'ensemble du micro-convertisseur.*

*Les différentes étapes nécessaires sont donc présentées, avec leurs caractéristiques ainsi que leurs limites, pour appréhender de façon objective et cibler l'adéquation des moyens avec les objectifs à atteindre.*

## IV.1 Objectifs de cette étude technologique d'hybridation

En électronique de puissance, les procédés de réalisation du packaging des composants industriels, tels que les transistors MOSFET de puissance, IGBT ou diodes de puissance, n'ont guère évolué ces dernières années. Une fois la puce conçue, sans tenir compte de son environnement ni de la manière dont elle sera insérée dans la structure complète, puis réalisée, elle est mise en boîtier et connectée à l'aide de fils de bondings, comme le montre la figure IV.1 [Mar05].

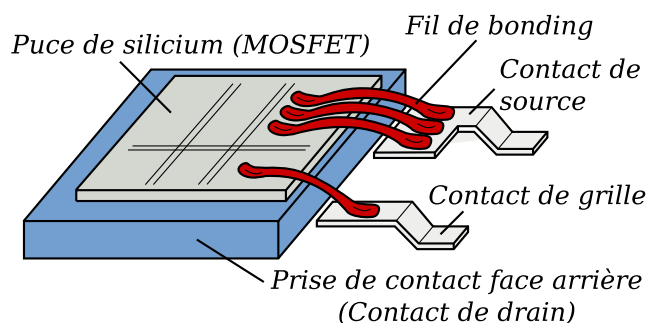


FIG. IV.1 – Connexions classiques par bonding

Cette technique d'inter-connexions est simple, très répandue, et ne nécessite pas de concevoir la puce spécialement vis-à-vis de son environnement. Cependant, comme nous l'avons vu précédemment, les fils de bondings présentent certains inconvénients, comme l'introduction de résistances et d'inductances parasites au sein du montage. C'est également une source de défaillance, puisque les bondings peuvent se décoller sous l'effet de la chaleur ou des efforts électromagnétiques [Sme08].

Il est donc nécessaire de s'attacher à concevoir des inter-connexions qui limitent au maximum ces problèmes. Les moyens utilisés pour permettre de telles connexions passent nécessairement par les procédés de la micro-électronique ou bien même par ceux des micro-systèmes. C'est dans ce cadre entre autres que le projet ANR Eclipse a été labélisé pour approfondir trois technologies de report et de prise de contact (Nano-poteaux ou "scratch", contacts pressés et micro-poteaux) [LBL+08][VCAJ08][Men08]. Une autre technique peut également être envisagée, à consiste à réaliser un frittage à basse température de nanopoudre d'argent [MRS04]. Nous ne reviendrons pas sur ces techniques dans ce chapitre et nous laissons le lecteur consulter les références en liens avec ce projet.

L'étude présentée dans ce chapitre a pour objectif, d'une part, de présenter les différents procédés classiquement utilisés en micro-électronique et qui peuvent nous servir dans notre travail et, d'autre part, de focaliser sur les points technologiques essentiels qui nous ont permis d'atteindre notre but.

Dans la mesure où la réalisation des éléments passifs sur silicium utilise des procédés similaires, ce chapitre est aussi l'occasion de détailler les méthodes de réalisation abordées

précédemment dans ce mémoire.

## IV.2 Procédés technologiques envisageables

### IV.2.1 Techniques de base en micro-électronique / micro-système

Avant de détailler les moyens mis en oeuvre pour réaliser notre micro-convertisseur dans son ensemble, un bref aperçu des techniques couramment utilisées [hr] permettra de mieux appréhender les difficultés qui pourront se poser par la suite. Nous allons introduire rapidement quelques techniques de dépôt de matériaux, la photolithographie, la gravure et le lift-off. Il est important de préciser que cette présentation n'est en aucun cas exhaustive et ne se veut nullement faire un état des lieux des possibilités technologiques offertes. Elle se contente d'introduire les techniques que nous avons étudiées mais aussi et surtout utilisées.

#### IV.2.1.1 Dépôt/Électrolyse

Pour obtenir une fine couche d'un matériau sur un substrat, deux techniques sont principalement utilisées : le dépôt en phase vapeur physique (PVD) et l'électrolyse (dans le cas d'un conducteur uniquement). Plusieurs variantes de PVD existent [Men08] tels que l'évaporation (par bombardement d'électrons ou par effet Joule) et la pulvérisation cathodique [Man05]. Nous nous intéresserons ici à ces deux techniques. Le principe de la technique de dépôt par pulvérisation cathodique est relativement simple, comme le montre la figure IV.2.

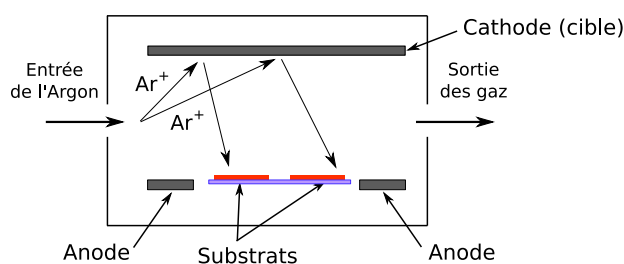


FIG. IV.2 – Procédé de pulvérisation cathodique

Une cible, constituée du matériau que l'on veut déposer sur le substrat, est bombardée par un faisceau d'ions Argon (accélérés sous l'effet d'une haute tension de l'ordre de 1 à 3kV entre anode et cathode), projetant ainsi des particules de cette cible sur le substrat. Cette technique permet de déposer des matériaux sur une épaisseur de l'ordre de quelques  $\mu m$ . De plus, la réaction doit se faire à température moyenne, de l'ordre de quelques centaines de degrés ( $T^\circ < 400^\circ C$  généralement). Cette technique ne permet pas de réaliser de fortes épaisseurs de dépôts à cause des contraintes mécaniques qui apparaissent au sein du matériau déposé. En effet, pour une épaisseur déposée importante, le refroidissement du matériau ne peut pas se faire de manière homogène sur toute l'épaisseur, créant ainsi des contraintes au sein du matériau du fait des dilatations thermiques de celui-ci. Le dépôt

sera alors de mauvaise qualité du fait de la présence de craquelures et de décollements. Cela peut même aller jusqu'à la rupture du substrat.

L'autre technique de dépôt PVD, que nous allons mettre en oeuvre, est l'évaporation par bombardement d'électrons ou effet Joules. Cette technique consiste à bombarder, à l'aide d'un faisceau d'électrons, un creuset contenant le matériau à déposer, qui s'évapore et qui se dépose sur le substrat situé en vis-à-vis du creuset (figure IV.3).

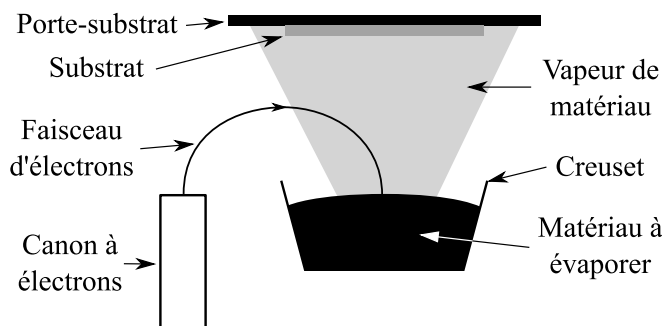


FIG. IV.3 – Procédé de l'évaporation par bombardement d'électrons

Le tableau IV.4 liste les principaux avantages et inconvénients de ces deux techniques.

	Avantages	Inconvénients
Pulvérisation (diode)	<ul style="list-style-type: none"> <li>- Dépôts de matériaux conducteurs ou isolants possibles</li> <li>- Bonne adhérence du dépôt au substrat</li> <li>- Bon pouvoir de recouvrement</li> </ul>	<ul style="list-style-type: none"> <li>- Faible vitesse de dépôts</li> <li>- Dépôts non uniformes</li> </ul>
Évaporation	<ul style="list-style-type: none"> <li>- Vitesse de dépôts assez élevée</li> <li>- Matériel simple et peu cher</li> <li>- Faible température du substrat</li> </ul>	<ul style="list-style-type: none"> <li>- Adhérence faible</li> <li>- Dépôts poreux et non uniformes</li> </ul>

FIG. IV.4 – Comparaison des deux procédés de dépôt par PVD cités

L'électrolyse, dont le principe sera détaillé au paragraphe IV.2.3 page 153 permet quant à elle de déposer des épaisseurs plus importantes, de l'ordre de quelques dizaines à quelques centaines de  $\mu m$ , principalement puisque ce procédé ne nécessite pas une température importante. L'inconvénient majeur de ce procédé est qu'il ne peut être utilisé que pour des matériaux conducteurs.

#### IV.2.1.2 Photolithographie

Les étapes de photolithographie ont pour but de reporter des motifs précis sur différentes couches, que ce soit pour des étapes de gravure ou de dépôt. Le principe de cette technique

est présenté figure IV.5 : le substrat (étape 1), sur lequel aura été déposé au préalable une couche de résine photosensible (étape 2), est exposé à un rayonnement ultraviolet au travers d'un masque définissant les motifs (étape 3). Les zones de la résine qui sont soumises à ce rayonnement subissent ainsi une transformation. Suivant le type de résine utilisée (positive ou négative), les solvants dans lesquels va être plongé le substrat élimine les zones insolées (résine dite « positive ») ou non insolées (résine « négative »). La figure IV.5 présente donc le cas d'une résine positive (étape 4).

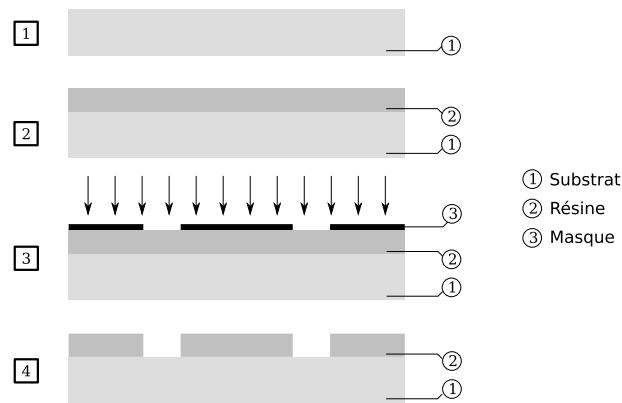


FIG. IV.5 – Procédé de photolithographie

Lors de la phase d'insolation, le masque est donc soumis aux rayonnements, ce qui a pour effet de le faire chauffer. Cet échauffement peut entraîner une dilatation du masque qui peut modifier, de fait, la géométrie des motifs. Il faut donc que le masque soit réalisé sur un matériaux dont le coefficient de dilatation thermique est très faible et dont la planéité est bonne afin de pouvoir s'appuyer au mieux à la surface de la résine. Cette planéité est importante pour limiter les effets de la diffraction et donc garantir une sensibilisation précise de la résine. Pour satisfaire ces critères, les masques qui définissent des géométries précises sont réalisés en quartz ou en sodalime (matériau plus économique et présentant des caractéristiques physiques correctes).

Le dépôt de la couche de résine est également important vis à vis de la précision voulue, car plus l'épaisseur de résine est faible, plus la précision est grande. Mais il faut pouvoir ajuster une certaine épaisseur car cette couche doit résister aux différentes étapes de réalisation. Typiquement, pour une résine de type S1618, une épaisseur de  $1,2\mu\text{m}$  est obtenue en déposant une quantité suffisante de résine sur le wafer, puis celui-ci est mis en rotation à grande vitesse (4000 tours/min) pendant 30 secondes pour étaler la résine de façon très homogène sur l'ensemble du substrat. D'autres « recettes » (type de résine, vitesse et durée de rotation) permettent d'obtenir des couches épaisses qui peuvent être utiles pour certaines étapes comme nous le verront par la suite [Len03].

### IV.2.1.3 Gravure

La réalisation de circuits électroniques intégrés et de micro-systèmes nécessite souvent des étapes de gravure. Contrairement aux étapes de dépôts, le motif est cette fois-ci obtenu par enlèvement de matière. Il existe principalement deux types de gravure :

- La gravure humide (ou chimique), isotrope
- La gravure sèche (appelée également R.I.E.), anisotrope

La gravure humide est la plus simple à mettre en oeuvre puisqu'elle consiste à plonger le wafer dans une solution aqueuse réagissant avec les composés à graver. Elle présente cependant deux inconvénients majeurs : la gravure est isotropique, générant ainsi des surgravures et la fin de gravure est difficilement contrôlée, puisque le seul moyen de graver une profondeur voulue est de déterminer le temps de gravure par rapport à la vitesse de réaction, qui dépend elle-même de la concentration du bain. Cette dernière variant au fur et à mesure de son utilisation.

La gravure sèche (ou R.I.E., abréviation de « Reactive Ion Etching » en anglais) fait intervenir un phénomène chimique mais également une attaque par bombardement d'ions, permettant ainsi d'obtenir une gravure anisotrope. En effet, cette attaque ionique permet de privilégier la direction perpendiculaire au wafer.

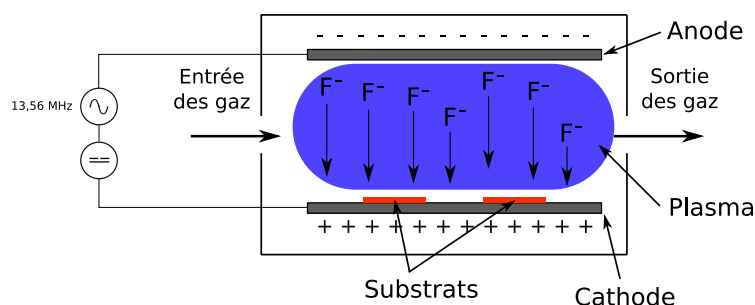


FIG. IV.6 – Schéma de principe de la gravure R.I.E.

Cependant, la gravure R.I.E. n'est pas totalement anisotrope, ce qui ne permet pas de graver en profondeur. Pour pallier à ce problème, la gravure de type Deep R.I.E est un procédé qui enchaîne des étapes de R.I.E. et de passivation des parois au niveau de la gravure [Dom05]. Ce type de gravure assure un facteur de forme important, de l'ordre de 30 ou 40 (gravure d'un motif de  $1\mu\text{m}$  sur une profondeur de  $30\mu\text{m}$  ou  $40\mu\text{m}$ ). La figure IV.7 présente la succession de ces étapes.

La méthode de gravure par DeepRIE consiste donc en une phase de gravure RIE (2), puis d'une phase de dépôt d'un polymère (3), puis d'une nouvelle phase de gravure RIE (4), anisotrope, qui grave donc de manière privilégiée le fond de la cavité par rapport aux flancs de celle-ci, protégeant ainsi ces derniers. S'en suit un nouveau dépôt de polymère (5), etc.

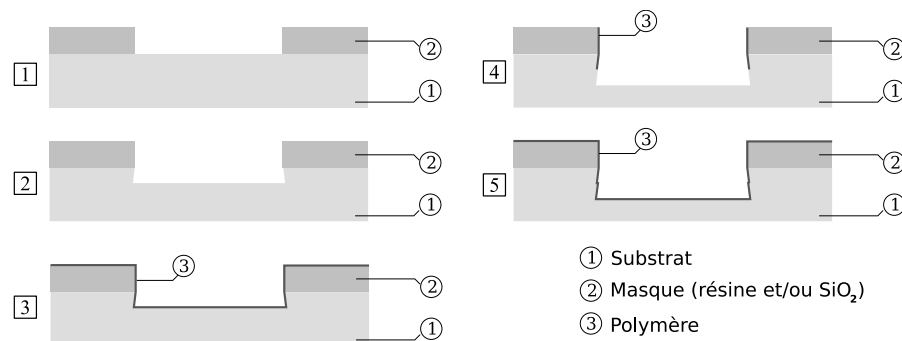


FIG. IV.7 – Étapes de la gravure Deep R.I.E.

Certains problèmes peuvent se poser vis à vis d'une gravure en Deep RIE. Dans le cas où la gravure n'est pas débouchante (c'est à dire qui ne traverse pas complètement le wafer), le fond de la cavité gravée peut présenter ce qu'on appelle un effet "d'herbes". Ce terme bien choisi désigne des poteaux très fins, longs et de longueurs variables. Cet effet est du à des impuretés qui viennent se déposer au cours de la gravure au fond de la cavité, qui font office de masque, et protègent donc le silicium à ces endroits.

Toutefois, si on souhaite traverser complètement le substrat, cet effet d'herbe n'a pas lieu d'être puisque le fond de la cavité disparaît. En revanche, cela pose des problèmes vis à vis du fonctionnement de la machine de DeepRIE. En effet, le substrat a besoin d'être refroidi (à environ 10°C) par la face arrière lors de la gravure pour garantir de bonnes conditions de gravure et "ralentir" le vieillissement de la résine en surface. Tant qu'il n'y a pas d'ouverture entre la face avant et arrière, les gaz qui participent à la gravure et ceux assurant le refroidissement ne se mélangent pas. Une fois que la gravure atteint la surface de la face arrière, les gaz vont se mélanger, ce qui entraîne, d'une part, une gravure moins efficace et, d'autre part, un refroidissement également moins efficace. De plus, la machine peut déclencher toute une série de sécurités dans ces cas là, qui stoppent complètement la gravure, même si tous les motifs n'ont pas fini d'être gravés.

De plus, l'obtention d'une recette adaptée, c'est à dire l'ensemble des paramètres de réglages de la machine (puissance du générateur, débits des gaz, durées des étapes de gravure et de polymérisation, etc), est difficile et longue à obtenir. En effet, l'homogénéité, la qualité et la vitesse de la gravure dépendent également du motif à graver. Il faut donc adapter la recette au dispositif à obtenir.

#### IV.2.1.4 Lift-off

Le procédé de lift-off est utilisé pour réaliser un motif d'un matériau donné à la surface du wafer à l'aide d'une couche sacrificielle. Le principe est illustré sur la figure IV.8 : après avoir déposé une couche de résine sur le wafer (2), une étape de photolithographie permet d'ouvrir les endroits où l'on veut déposer le matériau sur le wafer (3). L'étape suivante consiste à faire un dépôt pleine plaque du matériau, qui se dépose donc d'une part sur la résine, et d'autre part sur le substrat (4). Lorsque l'on passe le wafer au "remover" (ou

à l'acétone qui est plus adapté pour cette technique), la résine disparaît, entraînant le matériau déposé à sa surface (5) et laissant donc le motif constitué du matériau déposé à la surface du substrat (6).

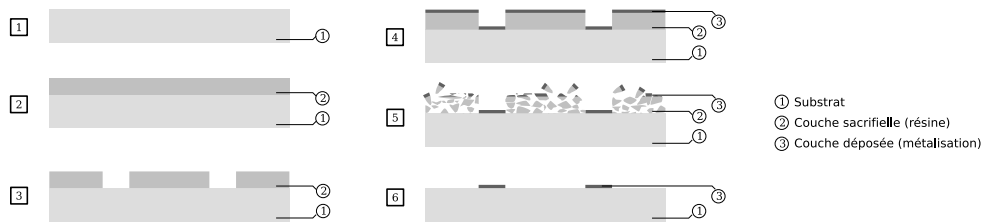


FIG. IV.8 – Étapes du procédé de lift-off

La difficulté de cette technique réside dans la réalisation de la couche sacrificielle. En effet, la forme de la résine obtenue après l'étape de photolithographie est très importante, car elle peut, dans certains cas, tout simplement empêcher le retrait de la résine par "masquage" de celle-ci. La figure IV.9 montre les différents cas qui peuvent se présenter :

- 1er cas : les flancs de la résine sont "sortants", le matériau se dépose donc également sur ceux-ci, empêchant ainsi le "remove" d'atteindre la résine.
- 2ème cas : les flancs de la résine sont "rentrants", ce qui permet au "remove" d'atteindre la résine, mais la largeur des pistes déposées à la surface du wafer est plus grande que celle initialement prévue.
- 3ème cas : les flancs sont droits, le "remove" peut donc atteindre la résine, et le motif déposé est fidèle au masque.

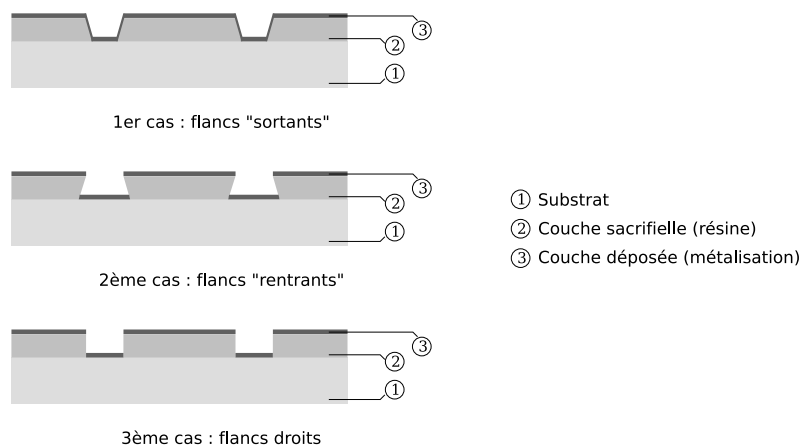


FIG. IV.9 – Illustration du problème de verticalité des flancs de la résine

L'utilisation d'une résine classique (c'est à dire positive), ne permet pas d'obtenir les flancs souhaités. En effet, durant la phase d'insolation, les zones non masquées de la résine vont absorber le rayonnement UV. Cette absorption est de moins en moins importante au fur et à mesure que la résine est proche du substrat. Par conséquent, la partie supérieure



de la couche de résine ayant reçu une quantité plus importante de rayonnement, elle va se dissoudre plus vite au développeur que la partie inférieure, ce qui implique la formation des flancs sortants.

Pour résoudre ce problème, l'utilisation d'une résine négative est préférable. Le principe de ces résines négatives est qu'elles ont la propriété de changer de polarité suite à une étape de recuit (étape dite "d'inversion"), ce qui permet d'inverser les zones de la résine qui partiront au développeur. L'utilisation d'une résine négative implique donc d'avoir un masque négatif.

La méthode de dépôt du matériau a également toute son importance dans cette technique. En effet, nous avons vu brièvement le principe des techniques de dépôt par évaporation et par pulvérisation cathodique, qui présentent des résultats relativement similaires, au détail près que la première est beaucoup plus directive que la seconde, ce qui permet d'éviter le dépôt de matériau sur les flancs de la résine, comme l'illustre la figure IV.10. En effet, la directivité de l'évaporation par rapport à la pulvérisation est liée au libre parcours moyen des molécules. En évaporation, le vide est beaucoup plus poussé qu'en pulvérisation (autour de  $10^{-7}$  mbar pour l'évaporation et entre quelques  $10^{-3}$  à  $10^{-2}$  mbar pour la pulvérisation), il y a donc beaucoup moins de collisions entre les molécules évaporées et les molécules de gaz [Mas03]. En pulvérisation, le vide plus élevé engendre une grande désorganisation du flux des particules formant une sorte de brouillard de molécules.

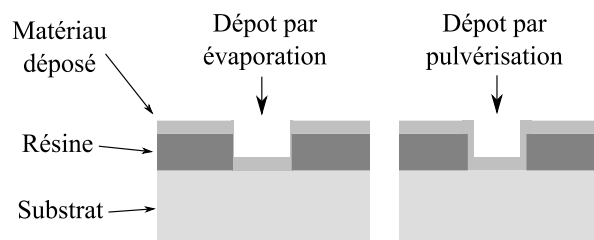


FIG. IV.10 – Directivité des dépôts par évaporation et par pulvérisation

Une autre méthode concernant la réalisation de la couche sacrificielle et qui permet d'utiliser un masque positif, consiste à empiler deux couches sacrificielles. La figure IV.11 illustre cette technique. Après avoir déposé une première couche d'aluminium puis de résine sur toute la plaque (2), la résine est tout d'abord insolée, puis révélée. Le wafer subit ensuite une gravure humide qui attaque l'aluminium de manière à ce que les flancs de la couche d'aluminium soient en retrait par rapport à ceux de la résine (sur-gravure) (3). Le dépôt de matériau peut alors se faire (4). L'élimination de la couche sacrificielle se fait alors en gravant l'aluminium complètement (5), ne laissant plus que le motif du matériau déposé sur le substrat.

Ce procédé nécessite donc, d'une part, que la sélectivité de la gravure pour l'aluminium soit élevée par rapport au matériau déposé et, d'autre part, que l'épaisseur de la couche

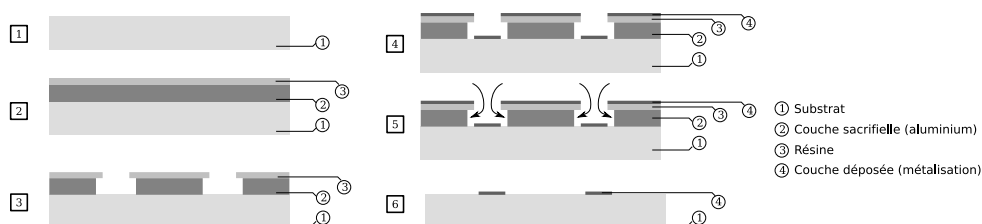


FIG. IV.11 – Lift-off bi-couche sacrificielle aluminium/résine

d'aluminium soit plus importante que la couche de matériau à déposer.

Nous allons maintenant aborder quelques étapes complémentaires, elles aussi connues des technologues, mais plus adaptées aux finitions et prises de contact en micro-électronique et micro-systèmes. Nous aborderons ainsi les dépôts de passivant à base de résine de photolithographie mais aussi l'électrodéposition et la prise de contact par flip-chip.

## IV.2.2 Dépôts de résine pour usages diélectriques

La résine sert généralement à imprimer des masques à la surface du wafer, elle est donc éliminée une fois l'étape réalisée. Mais les propriétés diélectriques de la résine peuvent également servir à une isolation électrique.

En effet, des essais de tenue diélectrique ont été réalisés avec de la résine de type SU8 [MSS+07] très utilisée dans le cadre de réalisation de micro-systèmes. Ces essais ont montré les résultats présentés dans le tableau de la figure IV.12.

Épaisseur ( $\mu\text{m}$ )	Tension de claquage (V)	Rigidité diélectrique ( $\text{V}/\mu\text{m}$ )
2,85	650	228
3,93	1283	327
7,36	1342	182

FIG. IV.12 – Tenue en tension de la résine SU8

Il apparaît donc que la tenue en tension de cette résine est de l'ordre de 2 à 3 MV/cm, ce qui permet notamment d'assurer une isolation de 6kV avec environ  $30\mu\text{m}$  de résine. La rigidité diélectrique de la SU8 est donc 3 à 4 fois plus faible que celle de l'oxyde de silicium, qui peut atteindre environ 12MV/cm pour de l'oxyde thermique. Cependant, suivant le procédé technologique utilisé, il n'est pas toujours possible de réaliser de l'oxyde thermique qui nécessite une température très élevée. La résine peut jouer ce rôle d'isolant lorsqu'il n'est pas possible de faire autrement. C'est donc une technique intéressante pour assurer une isolation au sein du micro-convertisseur qui est moins performante mais plus simple à mettre en oeuvre que la réalisation de couches d'oxyde.

### IV.2.3 L'électrodéposition

L'électrodéposition est une technique qui consiste à déposer sur des surfaces conductrices une couche de métal à l'aide d'un courant électrique. Cette technique est utilisée notamment pour préserver des objets de l'oxydation ou pour leur donner des aspects différents en fonction de la nature du métal et de l'état de surface de la couche déposée.

Le principe de cette technique est simple : dans une solution aqueuse dans laquelle le métal à déposer est présent sous forme ionique, deux électrodes sont plongées, l'une étant constituée du même métal présent dans la solution, l'autre étant la cible sur laquelle le dépôt doit se faire (qui peut éventuellement être partiellement masquée). Ainsi, lorsqu'un courant électrique est appliqué à ces électrodes, la première électrode (l'anode) recharge la solution en ion métallique au fur et à mesure que le dépôt se fait sur la cible.

Ce procédé est utilisé en électronique principalement pour déposer de fines couches d'or au niveau des contacts, afin d'assurer de bonnes caractéristiques électriques. L'application qui nous intéresse ici est le dépôt de métal pour augmenter l'épaisseur des pistes d'un circuit, créer des vias traversants (comme nous le verrons par la suite) et créer des plots de contacts localisés.

Prenons l'exemple du cuivre, puisque c'est ce métal qui nous intéresse ici. La figure IV.13 montre les réactions qui se produisent lors de l'électrodéposition.

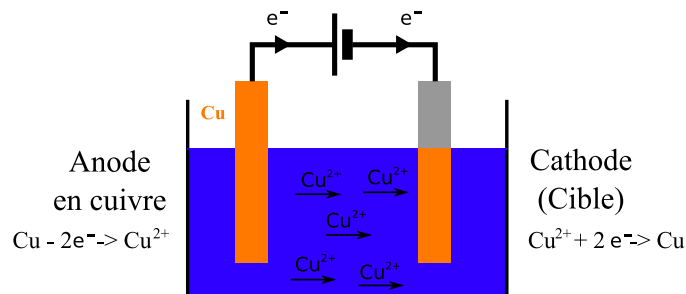


FIG. IV.13 – Schéma de principe de l'électrodéposition du cuivre

Plusieurs paramètres vont déterminer la qualité du dépôt. Nous pouvons citer par exemple la concentration d'ions cuivre dans la solution, l'ajout d'additifs qui vont modifier la façon dont le dépôt se fera à la surface de la cible, la température, la densité de courant ainsi que l'agitation.

À noter que la qualité du cuivre électro-déposé ne pourra pas atteindre celle du cuivre massif, comme l'indique le tableau figure IV.14 [CVD95]

En effet, la structure du matériau obtenu par ces différents procédés n'étant pas identique, leurs résistivité ne sont pas égales.

Type de cuivre	Résistivité ( $\mu\Omega.cm$ )
Massif	1,7
Électrodéposé	4,8
Pulvérisation cathodique	2,9

FIG. IV.14 – Résistivités de différents types de cuivre

#### IV.2.3.1 Détermination des conditions et des paramètres d'essais

Comme nous l'avons déjà mentionné, un grand nombre de paramètres influencent la qualité et la vitesse de dépôt. Par exemple, nous avons observé l'influence notable de la densité de courant sur la qualité de l'état de surface du dépôt [DN08].

Nous n'avons pas fait d'étude exhaustive des différents paramètres concernant cette technique durant le temps de ces travaux de thèse. Cependant, les travaux de thèse de Ghislain Troussier [Tro04], présentent l'étude de l'influence d'un bon nombre de paramètres importants pour obtenir un dépôt de bonne qualité.

#### IV.2.3.2 Réalisation de vias sur PCB

Nous avons déjà vu que la technique du dépôt par électrodéposition permet d'obtenir de fortes épaisseurs de matériaux conducteurs, mais elle peut être utilisée à d'autres fins.

Puisque l'électrodéposition du cuivre (ou tout autre matériau conducteur) permet de faire croître n'importe quel motif dans toutes les directions de l'espace, l'idée ici est de joindre électriquement les deux faces d'un circuit imprimé au travers d'un trou traversant, comme le montre la figure IV.15.

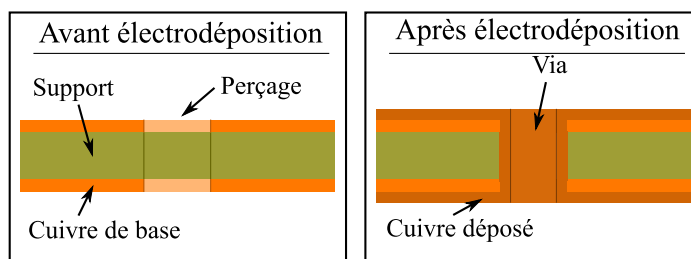


FIG. IV.15 – Réalisation de vias par électrodéposition

Cette technique est adaptée lorsque l'épaisseur du substrat n'est pas trop importante par rapport à l'épaisseur de cuivre à électro-déposer, ce qui est le cas du kapton  $25\mu m$  utilisé pour nos transformateurs. Pour faciliter la métallisation à l'intérieur du trou, ou pour de fortes épaisseurs de substrat, il peut être utile de déposer une fine couche d'accroche pour que le dépôt soit homogène sur toute la longueur du via. Il n'est cependant pas simple de déposer un matériau sur les flancs d'un trou, d'autant plus lorsque le diamètre de ce trou

est faible. Malgré tout, cette technique est très largement utilisée pour la réalisation des trous métallisés des circuits imprimés.

### IV.2.3.3 L'électro-érosion

Le problème majeur de l'électrodéposition est donc la qualité de l'état de surface du cuivre obtenu, qui dépend de nombreux paramètres. Cette rugosité peut être très néfaste vis-à-vis de la qualité du contact dans le cas de la réalisation de plots de contacts. La résistance de contact qui en résulterait pourrait alors générer des pertes relativement importantes.

Pour éviter ce problème d'état de surface, la technique « inverse » de l'électrodéposition peut être employée ici. Au lieu de créer des sur-épaisseurs au niveau des plots de contacts, la technique de l'électro-érosion a pour but de dégager les contours de ces plots en inversant simplement la polarité des électrodes par rapport à l'électrodéposition. Ainsi, une fois que la différence d'épaisseur est suffisante pour réaliser les plots de contacts (figure IV.16), ces derniers ont un état de surface bien meilleur, car le cuivre d'origine, si on part de substrat PCB, est obtenu par laminage (voir figure IV.32).

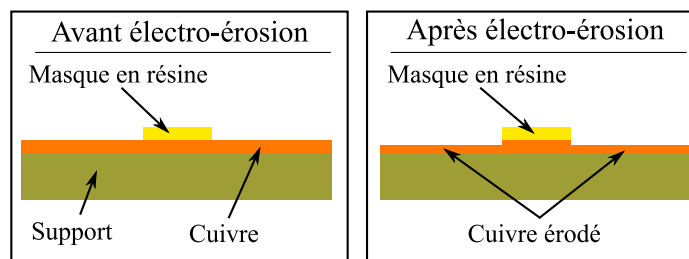


FIG. IV.16 – Principe de l'électro-érosion

### IV.2.4 Flip-chip

La technique classiquement utilisée pour remplacer les contacts par bondings consiste à assurer les contacts entre la puce et le boîtier par des billes de métal.

La figure IV.17 présente les étapes de réalisation d'une connexion par flip-chip :

1. Circuit intégré et ses plots de contacts
2. Boules d'étain déposées sur les plots de contacts
3. Puce retournée (flip)
4. Alignement de la puce retournée et de son support
5. Puce et substrat sont mis en contact
6. Les boules d'étain refusionnent sous l'effet des ultra-sons
7. L'ensemble est « noyé » dans un gel diélectrique
8. Fin du process de flip-chip

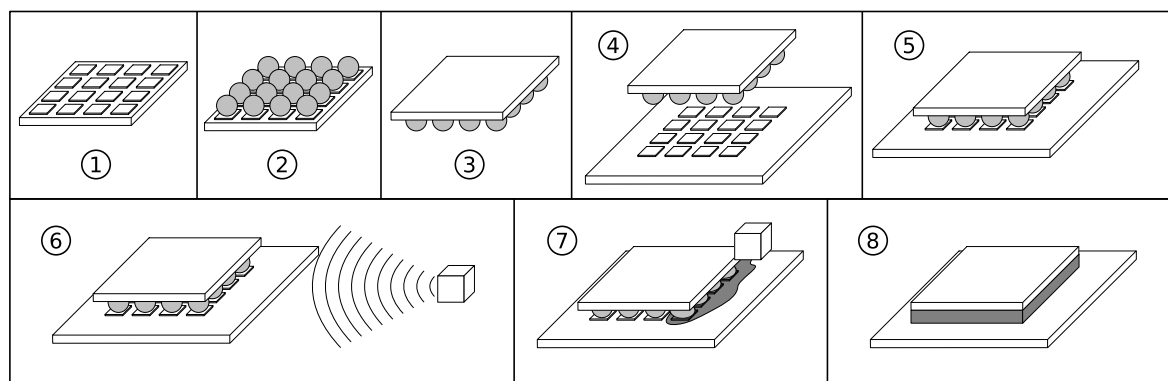


FIG. IV.17 – Réalisation de connexions par la technique du flip-chip

Ce procédé permet donc d'inter-connecter tout un ensemble de plots simultanément, ce qui est particulièrement indiqué dans le cas de circuit intégrés numériques comportant un grand nombre d'entrées/sorties, comme les micro-processeurs.

La figure IV.18 présente une vue de côté schématique d'une connexion par flip-chip.

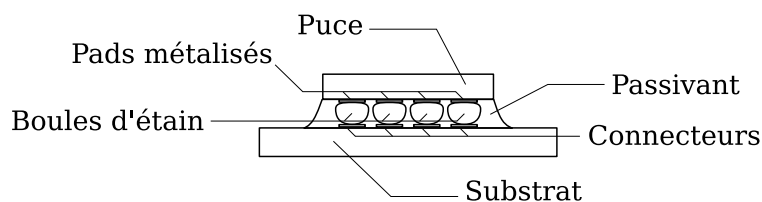


FIG. IV.18 – Vue de côté de connexions flip-chip

Cette technique est donc très intéressante pour réduire les éléments parasites (inductifs et résistifs) liés à la connexion de la puce de puissance.

## IV.3 Réalisation et packaging du micro-convertisseur

Maintenant que nous avons eu un aperçu des procédés de base que nous allons utiliser, penchons-nous plus précisément sur nos composants à réaliser dans le cadre de notre micro-convertisseur.

### IV.3.1 Réalisations technologiques des passifs

Les micro-transformateurs et les micro-inductances sur silicium avec ferrite ont été réalisés dans les salles blanches du CIME-Nanotech et de la Plateforme Technologique Amont (PTA) du CEA-Grenoble.

### IV.3.1.1 Micro-transformateur et micro-inductance

Nous allons tout d'abord nous intéresser à la réalisation des micro-bobines sur silicium, dans le cadre de la topologie à circuit magnétique fermé (ferrite usinée).

Après une phase de conception des masques sous Cadence, pour inclure sur un même wafer toute une série de variantes à largeurs de pistes et distances inter-spires différentes, nous avons confié la réalisation des masques à la centrale de technologie Mimento de l'institut femto-st [hs] de l'Université de Franche-Comté, de l'École Nationale Supérieure de Mécanique et de Microtechniques ainsi que de l'Université de Technologie de Belfort-Montbéliard.

#### IV.3.1.1.a Procédé technologique

Le procédé technologique utilisé pour réaliser nos micro-transformateurs ainsi que nos inductances est présenté figure IV.19.

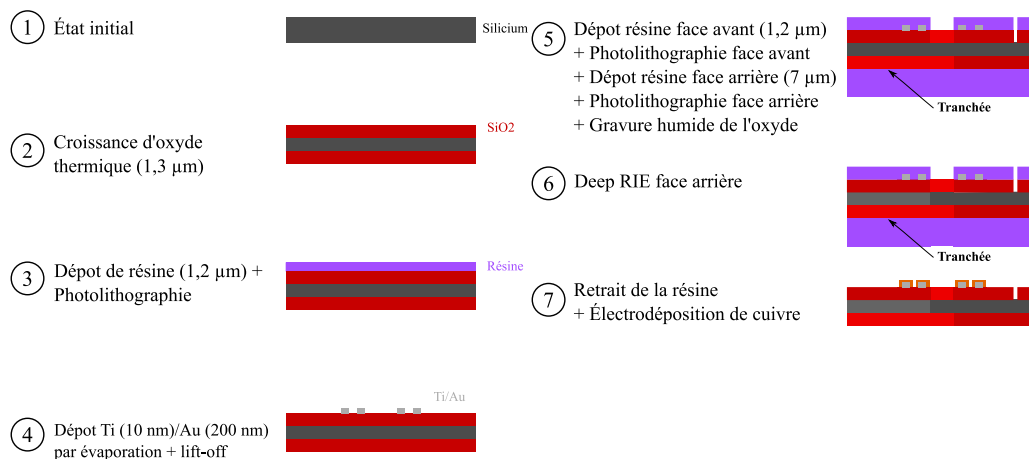


FIG. IV.19 – Procédé technologique de réalisation des micro-transformateurs

La figure IV.20 présente la vue de dessous de l'étape 5, où l'on observe la présence de la tranchée entre les deux trous traversants ainsi que la vue de dessus de la dernière étape. Sur cette image, on peut voir les bobines de cuivre autour du trou traversant, ainsi que les chemins de découpe pour lesquels l'oxyde en face avant a été retiré afin de faciliter la découpe et réduire l'usure de la lame diamant.

Ce procédé technologique est issu des contraintes liées à la faisabilité de l'ensemble. En effet, par exemple, pour la réalisation des trous traversants et des chemins de découpe, il est nécessaire de déposer la résine de chaque côté avant que la gravure n'ait été faite, d'un côté ou de l'autre. Ceci est fait pour qu'une fois qu'une face présente des motifs avec des reliefs importants (et à plus forte raison lorsqu'il y a des trous traversants), il devient difficile voire impossible de déposer à la tournette une couche de résine sur cette face. Dans ce cas-là, la résine se dépose à l'intérieur des cavités et il n'est pas possible d'obtenir une

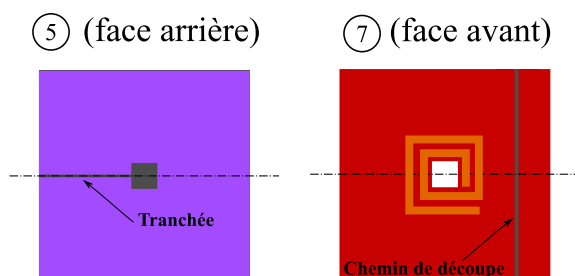


FIG. IV.20 – Vues face arrière de l'étape 5 et face avant de l'étape 7

couche homogène de l'épaisseur voulue sur toute la tranche.

#### IV.3.1.1.b Problèmes rencontrés

Le but de ce paragraphe est de pointer les problèmes auxquels nous nous sommes confrontés et de préciser les solutions que nous avons apporté pour y remédier.

Nous allons tout d'abord nous intéresser à la problématique de la réalisation des trous traversant et des tranchées par la technique de la DeepRIE. Cette étape consiste à réaliser simultanément les trous traversant nécessaires au passage du circuit magnétique et les tranchées entre les trous nécessaires pour réduire les courants induits dans le substrat. Plusieurs problèmes se posent. Le premier a pour origine la grande différence d'ouverture entre les trous et les tranchées, puisque leurs dimensions sont respectivement de  $1500\mu\text{m} \times 2200\mu\text{m}$  et de  $20\mu\text{m} \times 1800\mu\text{m}$ . Dans ces cas là, les gaz participant à la réaction à la surface du wafer pénètrent beaucoup plus difficilement à l'intérieur des tranchées que dans les grandes ouvertures. Par conséquent, la vitesse de gravure dans les tranchées est beaucoup plus faible que celle des trous. Par ailleurs, le ratio entre les vitesses de gravure dans les trous et les tranchées n'est pas constant tout au long de la gravure, car plus la profondeur est grande, plus la vitesse de gravure des tranchées est faible par rapport à celle des grandes ouvertures (car les gaz atteignent beaucoup plus difficilement le fond de la cavité lorsque celle-ci est de plus en plus profonde). Cela ne permet donc pas de prédire la profondeur des tranchées une fois que la gravure des trous débouche.

La figure IV.21 montre la différence de gravure entre les grandes ouvertures et les tranchées lors d'un premier test de DeepRIE de 15 minutes. Alors que les grandes ouvertures ont été gravées sur  $167\mu\text{m}$  (à une vitesse de  $11\mu\text{m}/\text{min}$ ), les tranchées n'ont été gravées que de  $126\mu\text{m}$  (avec une vitesse de gravure moyenne de  $8,5\mu\text{m}$ ). La différence de vitesse est donc d'environ 25%.

D'autres tests ont suivi celui-ci, en augmentant entre autres le temps de gravure pour tenter de traverser complètement le wafer (temps de gravure total de 46 minutes). Ces tests ont montré que lorsque la gravure des grandes ouvertures atteignait environ  $530\mu\text{m}$  (la totalité de l'épaisseur du wafer), les tranchées présentaient une profondeur d'environ



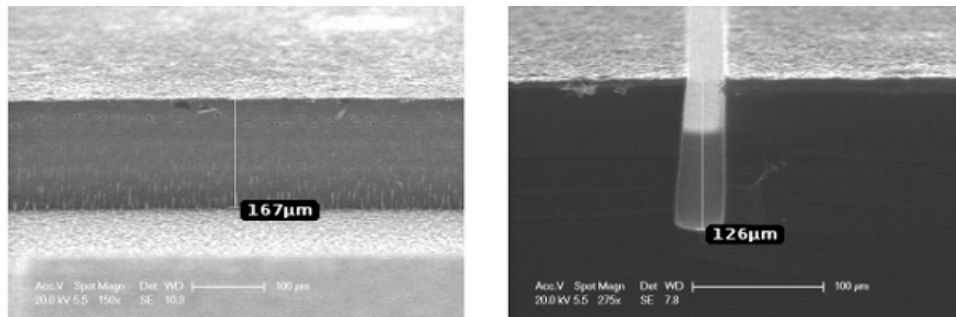


FIG. IV.21 – Images au MEB du premier essai de gravure en DeepRIE (grande ouverture à gauche, tranchée à droite)

300  $\mu\text{m}$ . Ceci nous donne donc des vitesses de gravure moyennes de 11,5  $\mu\text{m}/\text{min}$  pour les grandes ouvertures et de 6,5  $\mu\text{m}/\text{min}$ . La différence de vitesse de gravure a donc augmenté entre les grandes ouvertures et les tranchées, prouvant que la vitesse de gravure dans ces dernières a diminué du fait de la profondeur plus importante de celles-ci.

En théorie, il est donc possible d'atteindre une épaisseur égale à celle de l'épaisseur du wafer pour les tranchées. Cependant, en pratique, il est nécessaire de faire fonctionner la machine de gravure Deep-RIE très longtemps (une centaine de minutes), ce qui consomme une grande quantité de gaz et qui n'est donc pas envisageable. Par ailleurs, une durée trop importante de gravure rendrait nos échantillons inutilisables. En effet, lors de la conception des masques, nous avons pris soin de dessiner les bobines à une distance de 100  $\mu\text{m}$  du bord des trous. Ainsi, une gravure trop longue attaque la couche d'oxyde au niveau des tranchées, ce qui fini par couper les pistes les plus proches des trous, comme le montre la figure IV.22. À gauche, la vue en coupe au niveau d'un trou montre que les tranchées traversent la totalité du wafer, alors qu'au centre la profondeur de gravure n'atteint que 300  $\mu\text{m}$  (cette photo correspond à un échantillon sur lequel il a été prévu une multitude de tranchées autour des trous). À droite, une vue de dessus des dispositifs montre que la couche d'oxyde au niveau des tranchées est gravée en partie. Une durée plus importante de gravure aurait entraîné une coupure des pistes.

La deuxième difficulté à laquelle nous avons fait face est liée au fonctionnement de la machine de Deep-RIE. En effet, comme nous l'avons mentionné précédemment, dès que le wafer est percé à un endroit, la machine se met en protection, dans la mesure où elle détecte une fuite, ce qui stoppe la gravure. Malgré tout, la gravure n'étant pas uniforme sur toute la tranche, il est nécessaire de continuer celle-ci pour que tous les motifs soient traversant. Pour cela, nous avons réalisé un collage de wafer à partir du moment où une fuite est détectée. Cette technique consiste simplement à coller à l'aide d'une couche de résine deux wafers, l'un servant uniquement de couche d'arrêt pour éviter l'apparition de fuites. Il n'est cependant pas conseillé de réaliser ce collage dès le début de la gravure, puisque dans ce cas, le refroidissement de la résine qui fait office de masque est beaucoup moins performant, puisqu'il y a maintenant deux épaisseurs de wafer entre la résine et l'arrivée des gaz de refroidissement en face arrière de la tranche. Il est à noter que si la résine

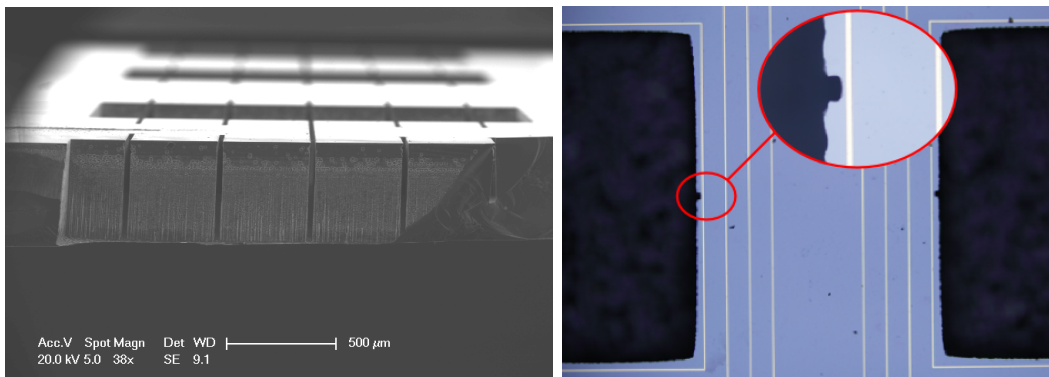


FIG. IV.22 – Problème de la gravure inhomogène dans les tranchées

n'est pas suffisamment refroidie, elle brûle prématurément, ce qui rend son élimination très difficile, et elle peut ne plus jouer son rôle de masque.

Un autre aspect lié aux imperfections de la réalisation des tranchées par Deep-RIE est la verticalité des parois. En effet, l'angle que forme les parois avec la verticale n'est pas nul, ce qui implique une largeur de tranchée différente à la surface et au fond de la cavité (voir figure IV.23 où il apparaît un angle d'environ 3 degrés).

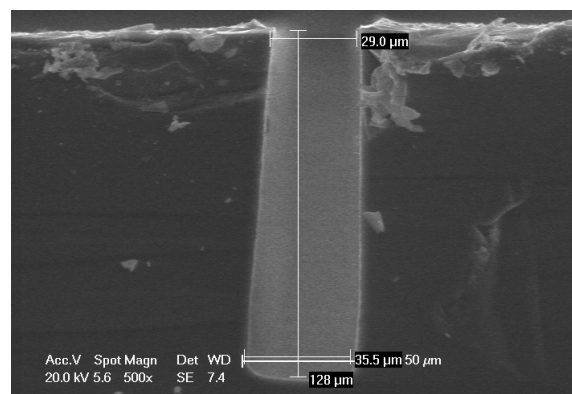


FIG. IV.23 – Vue en coupe d'une tranchée de 128  $\mu\text{m}$  de profondeur

Cette imperfection n'est pas critique dans notre cas, puisque nous n'atteignons pas la couche d'oxyde qui sert de support aux bobinages. En effet, dans le cas contraire, c'est à dire si on pouvait atteindre la couche d'oxyde de la face avant, une trop grande largeur de tranchée (qui correspond donc au fond de la cavité, de largeur plus importante) pourrait fragiliser la couche d'oxyde sur laquelle reposent les spires.

Pour remédier à ces problèmes, pour de futures réalisations, une solution serait de déterminer la largeur de la tranchée pour que la vitesse de gravure dans celles-ci soit suffisamment proches de celle dans les grandes ouvertures, afin que les tranchées puissent atteindre la couche d'oxyde. Mise à part la difficulté de déterminer cette largeur idéale, le

risque de cette solution est la rupture de la couche d'oxyde au dessus de la tranchée, ce qui entraînerait une coupure des pistes.

Voyons maintenant les difficultés que nous avons rencontré pour la réalisation des couches d'accroche par lift-off. Du fait que nous avons fait réaliser un masque pour une résine positive, nous n'avons pas réalisé le lift-off dans les meilleures conditions, puisqu'il est beaucoup plus judicieux d'utiliser une résine négative (voir figure IV.9). Cependant, nous allons voir qu'il est tout de même possible, malgré certains inconvénients, d'utiliser cette technique avec de la résine positive.

Des tests ont été réalisés afin de déterminer les meilleures conditions pour mettre en oeuvre le lift-off avec de la résine positive. Tout d'abord, nous avons étudié l'influence du temps d'exposition lors de l'insolation de la résine sur les flancs des motifs obtenus. En effet, nous avons testé deux temps d'insolation différents, l'un égal à 4 secondes, qui est un temps standard pour la résine utilisée, et l'autre égal à 8 secondes. Après dépôt de la couche de Ti/Au (10 nm de Titane + 200 nm d'or), le retrait de la résine fut plus rapide dans le second cas. De plus, ce temps conduisit à une meilleure qualité des pistes déposées. La figure IV.24 montre les problèmes que nous avons rencontré une fois le lift-off réalisé. L'origine de ce défaut n'a pas pu être identifié avec certitude, mais il est très probable que ce soit à cause de l'utilisation d'une résine positive. En effet, les morceaux de matériaux qui ont disparus ont du adhérer de manière importante sur les flancs de la résine et en continuité des dépôts sur l'oxyde de silicium. Cela a donc arraché des morceaux des pistes déposées. À noter que ce problème est apparu plus fréquemment sur les pistes larges que sur les pistes étroites. Au final, il est donc plus facile de réaliser le lift-off avec une résine positive sur-exposée. Ceci est probablement du au fait que les flancs de la résine sont plus droits.

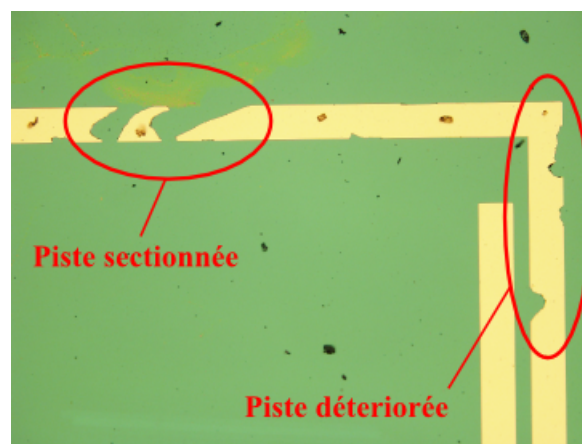


FIG. IV.24 – Problème de qualité du dépôt par lift-off

#### IV.3.1.1.c Étape d'électrodéposition du cuivre

Cette dernière étape permet d'augmenter la section de conducteur des spires en partant de la couche d'accroche de Ti/Au déposée sur l'oxyde de silicium via un dépôt par électrodéposition. Pour déterminer les paramètres qui permettent d'obtenir un dépôt satisfaisant, il a fallu mettre en oeuvre le matériel (qui n'existait pas jusqu'à présent au laboratoire), le bain électrochimique ainsi que le protocole expérimental. Une première phase fut menée par Léa Do Nascimento à l'occasion de son stage d'IUT [DN08]. Puis des essais d'électrodéposition sur une couche d'accroche de Ti/Au déposée sur l'oxyde de silicium ont été réalisés au cours du stage de M2R de Do Minh Thang [Tha09b].

Pour réaliser l'électrodéposition de cuivre sur ces couches d'accroche, les échantillons ont tout d'abord été découpés par Irène Pheng du CIME-Nanotech, puis ont ensuite été collés sur une plaquette de PCB de manière à faciliter leurs manipulations. Les pistes de Ti/Au ont été reliées à la piste d'amenée de courant imprimée sur le PCB à l'aide de fils de bondings placés par Irène Pheng.

L'intensité du courant qui permet d'obtenir les valeurs de densités de courant souhaitées pour le contrôle de la vitesse de dépôt ( $2 A/dm^2$ ) est déterminée en considérant la surface de l'amenée de courant ainsi que celle de la couche d'accroche de Ti/Au. Dans la mesure où cette dernière est très faible devant la surface de l'amenée de courant du PCB, cela permet de garantir que la densité de courant est proche de celle voulue. En effet, si on ne dépose du cuivre que sur la couche d'accroche déposée sur l'oxyde de silicium, une petite erreur sur le courant fourni ferait varier la densité de courant de manière importante. En procédant de cette manière, nous réduisons donc l'erreur liée à la mesure du courant pour atteindre la densité de courant souhaitée.

La figure IV.25 montre un même échantillon avant et après électro-déposition.

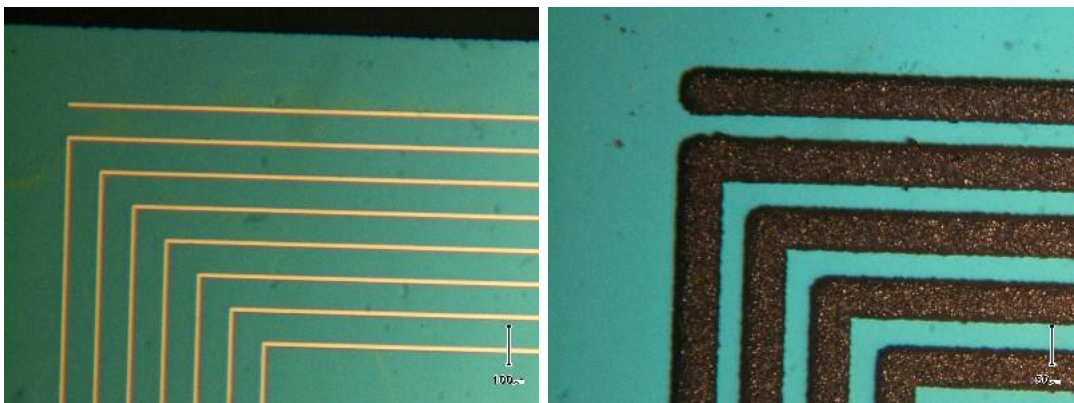


FIG. IV.25 – Avant et après électro-déposition de cuivre

La couche d'accroche de cet échantillon présente une largeur de spire de  $10 \mu m$  et une distance inter-spire de  $80 \mu m$ . Après l'étape d'électro-déposition, d'une durée de 30

minutes, la mesure de l'épaisseur de cuivre nous donne environ  $18 \mu\text{m}$ . La largeur de la piste de cuivre a été mesurée à environ  $50 \mu\text{m}$  et la distance inter-spire est réduite à environ  $40 \mu\text{m}$ . Ces valeurs nous indiquent que la croissance du cuivre se fait à la même vitesse à la verticale du support qu'en latéral. En effet, pour une épaisseur déposée de  $18 \mu\text{m}$ , si la largeur de spire augmente d'une valeur égale à deux fois l'épaisseur déposée, nous pouvons affirmer que la croissance se fait de manière isotrope. Pour réaliser un nombre maximum de spires dans une surface donnée, un autre essai a montré qu'à partir d'une largeur de spire de  $10 \mu\text{m}$  et une distance inter-spire de  $80 \mu\text{m}$ , et pour une épaisseur de cuivre déposée de  $35 \mu\text{m}$  (durée de l'électro-déposition = 1h), la largeur de spire atteint  $80 \mu\text{m}$  et la distance inter-spire est réduite à  $10 \mu\text{m}$ , sans court-circuit entre spires.

Il reste cependant difficile d'obtenir une bonne homogénéité du cuivre sur l'ensemble des bobines, comme le montre la figure IV.26.

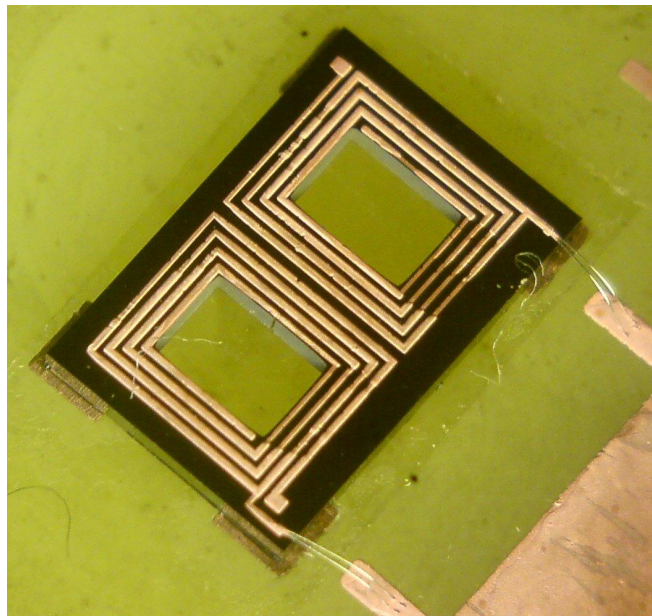


FIG. IV.26 – Photo des bobines après électrodéposition montrant une non-homogénéité du dépôt

L'origine de cette non-homogénéité n'est pas déterminée avec certitude, mais la position des échantillons dans le bécher ainsi que la vitesse de l'agitation sont fortement soupçonnées. En effet, les pistes qui présentent une épaisseur plus importantes sont celles disposées à l'horizontale, correspondant à la direction du mouvement de la solution lié à l'agitation lors du dépôt. D'autres tests ont été réalisés avec une agitation minimale, ce qui a permis d'obtenir un dépôt plus homogène. Cependant, dans ces conditions, le dépôt s'oxyde beaucoup plus vite, ce qui montre que la qualité de celui-ci est moins bonne.



### IV.3.1.2 Caractérisation du micro-transformateur sur silicium avec ferrite

Une fois le circuit magnétique en ferrite usiné, nous avons caractérisé les échantillons que nous avons assemblés. Une photographie de ce transformateur est présentée figure IV.27.

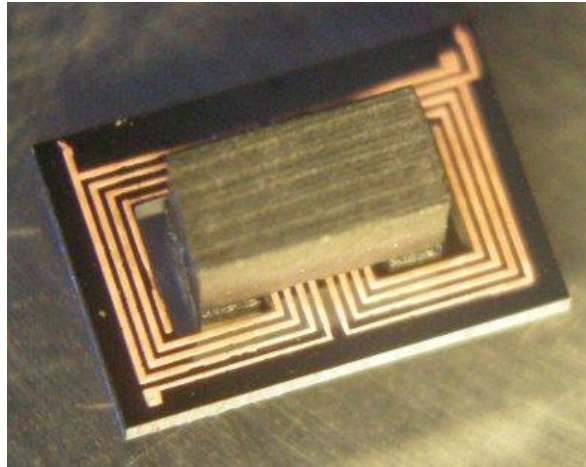


FIG. IV.27 – Photo du micro-transformateur réalisé

Dans un premier temps, ce micro-transformateur a été caractérisé à vide afin de déterminer son inductance propre ainsi que la résistance du bobinage primaire. Cet essai permet ainsi de considérer le composant comme une simple inductance (une seule bobine), mais également de caractériser le primaire du transformateur.

Dans ces conditions, les mesures que nous avons réalisées au pont d'impédance nous donnent une inductance de  $1,6 \mu\text{H}$  à  $1\text{MHz}$ , une résistance DC de  $0,8 \Omega$  et une résistance de  $8,3 \Omega$  à  $1\text{MHz}$ . Ces valeurs expérimentales sont à comparer aux valeurs souhaitées qui sont respectivement de  $3,3 \mu\text{H}$  et  $0,1 \Omega$ . Concernant l'inductance, l'écart entre la valeur expérimentale et théorique est en partie dû à l'entrefer parasite existant entre les deux parties du circuit magnétique en raison de la rugosité de la ferrite. La valeur théorique s'appuie sur l'hypothèse de l'existence d'un entrefer équivalent de  $3,3 \mu\text{m}$ . En continu, l'inductance mesurée est de l'ordre de  $2,5 \mu\text{H}$ , ce qui signifie que l'entrefer est un peu plus important que prévu. L'entrefer réel devrait donc se situer vers  $4 \mu\text{m}$ . Concernant la valeur de la résistance, plusieurs paramètres expliquent la différence obtenue entre théorie et mesure expérimentale. D'une part, nous n'avons pas déposé l'épaisseur de cuivre souhaitée ( $70 \mu\text{m}$ ) car les échantillons qui présentent une distance inter-spires suffisante pour permettre un dépôt d'une telle épaisseur ont été détériorés lors de la fabrication. Nous nous sommes donc limité à une épaisseur de cuivre électrodéposée de  $17 \mu\text{m}$ . D'autre part, le dépôt étant très inhomogène, une grande partie des pistes présente une épaisseur beaucoup plus faible, ce qui augmente la résistance. Enfin, comme nous l'avons mentionné plus haut, la résistivité du cuivre électrodéposé est plus importante que celle du cuivre massif, ce que nous n'avons pas pris en compte dans notre calcul initial. On retrouve ainsi le facteur 8 (épaisseur 4 fois plus faible que prévue et résistivité du cuivre électrodéposé 2 fois plus importante que le cuivre massif) qui apparaît entre notre objectif et ce que nous

avons obtenu. De plus, la forte valeur de la résistance à 1MHz est due aux courants induits dans le substrat qui génèrent des pertes importantes car la tranchée prévue pour annuler ces courants n'a pas pu être réalisée correctement. Pour de futures réalisations, il serait également intéressant de rajouter un motif de test afin d'évaluer la résistivité du cuivre électrodéposé.

En ce qui concerne les caractérisations du transformateur en court-circuit, les mesures réalisées au pont d'impédance nous donnent une valeur d'inductance de fuite totale à 1MHz égale à 285nH, alors que la simulation Flux2D l'estimait à 250nH. La différence peut s'expliquer en partie grâce au fait que l'impédance des connexions qui permettent de court-circuiter le secondaire n'est pas nul. Les courbes de la figure IV.28 représentent les inductances et résistances séries mesurées à vide et en court-circuit de notre micro-transformateur.

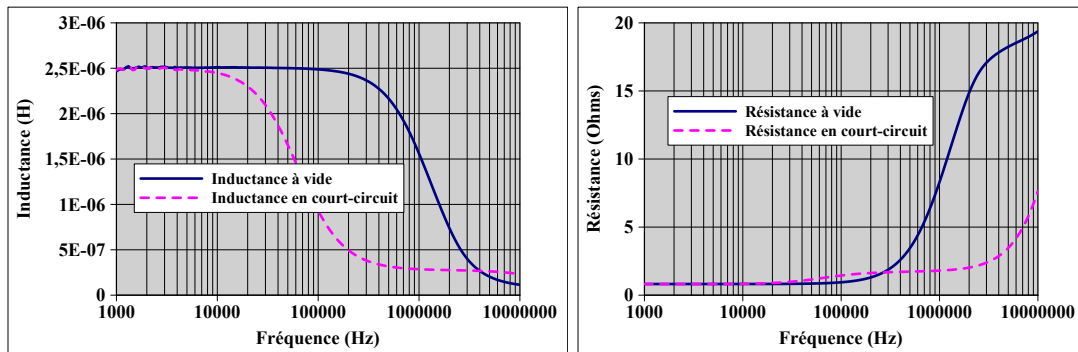


FIG. IV.28 – Inductance et résistance à vide et en court-circuit de notre micro-transformateur

Ces mesures nous montrent le défaut majeur de nos prototypes, à savoir les courants induits dans le substrat qui génèrent des pertes importantes. En effet, la résistance à vide du micro-transformateur augmente de manière très importante à partir d'une fréquence relativement basse, pour atteindre environ  $8 \Omega$  à 1MHz. Si on considère un modèle simple du transformateur constitué de la résistance série du primaire ( $R_S$ ) et de l'inductance magnétisante ( $L_m$ ) en parallèle d'une résistance de pertes ( $R_P$ ), la valeur de  $R_P$  est si faible que son impédance est du même ordre de grandeur que celle de  $L_m$  à 1MHz. Cette résistance  $R_P$  modélisant les pertes parallèles intervient donc trop bas en fréquence pour la fréquence de travail souhaitée. Usuellement, un transformateur ne présentant pas beaucoup de pertes possède une résistance  $R_P$  élevée, ce qui augmente la fréquence à partir de laquelle son impédance devient du même ordre de grandeur que celle de  $L_m$ . Ainsi, son effet n'est que très peu visible dans la plage de fréquence pour laquelle le transformateur est utilisé, ce qui n'est donc pas le cas ici.

Ces premiers résultats sur cette topologie, arrivés à la dernière minute, sont donc encourageants, il est donc intéressant de pousser les tests plus loin pour arriver à fiabiliser le process.

### IV.3.2 Solutions envisageables vis à vis du packaging

Par rapport aux moyens technologiques à mettre en oeuvre dans le cadre d'un packaging adapté à nos micro-convertisseurs, plusieurs topologies sont envisageables. Une première topologie de micro-convertisseur a déjà été présentée dans le chapitre 3, figure III.59.

D'autres topologies peuvent être envisagées suivant la solution adoptée concernant les éléments passifs, telles que celles présentées figures IV.29, IV.30 et IV.31

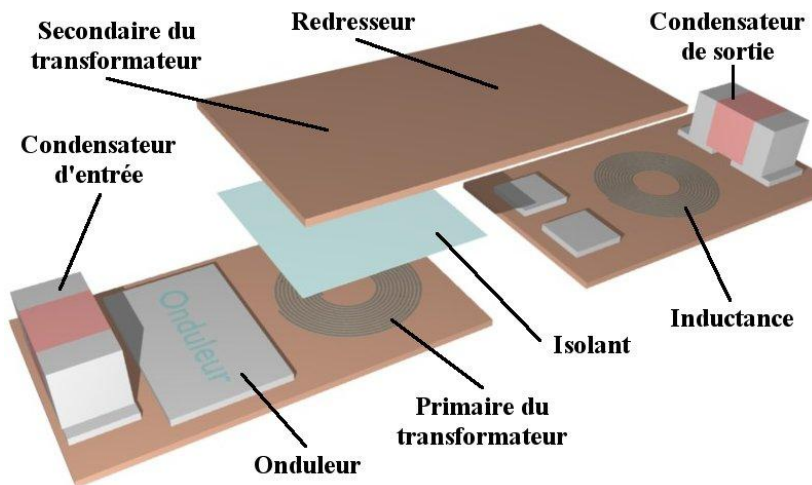


FIG. IV.29 – Structure d'un micro-convertisseur en plusieurs parties

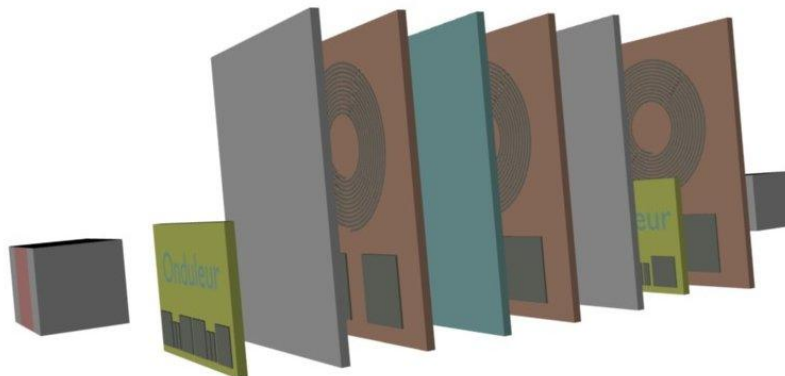


FIG. IV.30 – Structure d'un micro-convertisseur de type "rack"

La première solution (figure IV.29) consiste à utiliser un support à base de PCB ou de silicium en plusieurs parties, sur lesquelles les bobinages sont gravés (dans le cas du PCB) ou intégrés (dans le cas du silicium). Le transformateur est ainsi constitué de deux bobinages en vis-à-vis au travers d'une fine couche d'isolant comme du kapton. Les puces actives sont, quant à elles, reportées en flip-chip sur ces supports. Ainsi, les résistances et



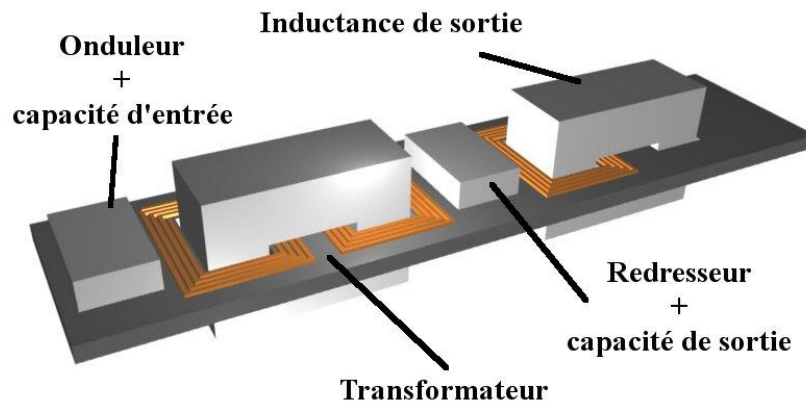


FIG. IV.31 – Structure d'un micro-convertisseur tout silicium

inductances parasites peuvent être réduites de façon conséquente.

La deuxième solution (figure IV.30), repose sur des principes similaires, à la différence que les différents éléments ne sont pas disposés de la même manière. En effet, l'idée ici est de réaliser un empilement des différents éléments, en prenant soin d'intercaler notamment des couches de circuit magnétique afin d'éviter de soumettre les puces actives à des champs magnétiques trop intenses qui pourraient perturber leur fonctionnement.

La troisième solution (figure IV.31) exploite les composants magnétiques sur silicium avec un circuit magnétique reporté en ferrite présentés dans ces travaux de thèse. À terme, comme nous l'avons mentionné dans l'état de l'art des composants passifs du chapitre 3, les capacités en tranchées réalisées au LAAS pourront être intégrées monolithiquement au plus près des puces actives, directement sur le support en silicium.

#### IV.3.2.1 États de surface

En vue d'une mise en oeuvre à l'aide de contacts pressés ou d'un collage cuivre-cuivre, il est nécessaire d'étudier la qualité des surfaces mises en jeu au niveau du contact pour pouvoir évaluer les caractéristiques de ces contacts.

La rugosité des surfaces mises en regard dans le cas des contacts pressés est importante puisque la résistance de contact en dépend. En effet, une rugosité importante de chacune des surfaces ne permet pas d'avoir une grande surface réellement mise en contact, limitant ainsi la section de passage du courant. Au contraire, plus les surfaces sont lisses, meilleur sera le contact, et plus la résistance sera faible [Féc96].

Des mesures réalisées à l'AFM permettent de cartographier avec précision les surfaces qu'il a été envisagé de mettre en contact. La figure IV.32 montre les mesures faites de la surface en aluminium des pads de la puce active (à gauche), ainsi que de la surface du cuivre laminé d'un circuit imprimé classique.

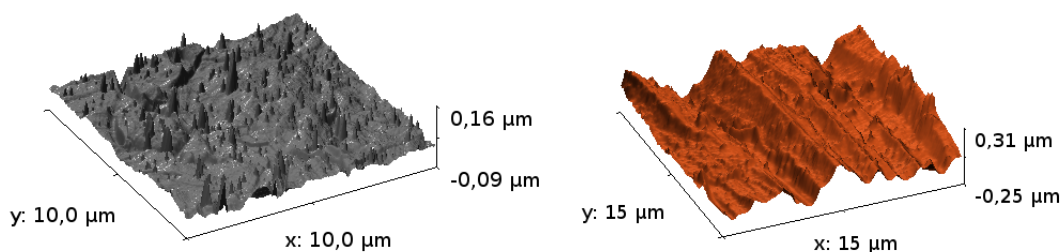


FIG. IV.32 – Mesures AFM des plots de contacts de la puce active (à gauche) et du cuivre laminé de PCB classiques (à droite)

Nous pouvons donc observer que l'état de surface des plots de contact de la puce active est très bon avec des variations de l'ordre de 300nm, alors que celui du cuivre laminé l'est moins (avec des variations de l'ordre de 600nm), mais reste tout de même très correct. Des travaux sont en cours pour voir comment profiter au mieux de la surface d'échange par insertion d'un matériau de remplissage des cavités laissées libres par l'état de surface imparfait, l'idée étant ici encore de limiter le coût technologique de ce type de mise en oeuvre (Travaux de thèse d'Éric Vagnon).

Nous avons également essayé de mesurer la rugosité du cuivre électrodéposé, mais la rugosité est telle qu'il n'est pas possible de réaliser une imagerie de la surface à l'AFM.

#### IV.4 Bilan et perspectives de cette étude

Ce chapitre a donc été l'occasion d'étudier les techniques de réalisation utilisées en micro-électronique et pour les micro-systèmes. L'exploration de ces techniques nous a permis d'évaluer les possibilités ainsi que les limites de celles-ci au sein d'un procédé technologique et dans le cadre de la réalisation de certaines parties d'un micro-convertisseur, à savoir les composants magnétiques. Certaines technologies présentées ici concernant le packaging ainsi que les différentes méthodes de report des puces actives (contact pressé, flip-chip) n'ont cependant pas pu être testées en vue de remplacer les classiques bondings.

Par ailleurs, nous avons constaté que la conception d'un procédé technologique n'est pas chose facile, car il est nécessaire de considérer tous les détails pratiques de réalisation, même les plus anodins, pour que la totalité du procédé puisse se faire. Pour cela, la réalisation de l'ensemble du procédé par soi-même est essentiel pour avoir une vision d'ensemble des problèmes qui peuvent se poser et pour pouvoir proposer des améliorations compatibles avec les moyens de réalisations qui sont compatibles et disponibles.

Dans la mesure où le temps nous a fait défaut au cours de cette thèse, il reste maintenant à utiliser les techniques présentées ici pour réaliser l'ensemble du packaging de notre micro-convertisseur afin qu'il puisse être opérationnel.

## IV.5 Conclusion sur l'hybridation

Pour éviter le recours classique aux interconnexions à base de bondings, qui ne sont pas adaptés pour des structures de puissance à fréquence de fonctionnement élevée et qui suppose également une topologie 2D de la structure complète, il est nécessaire de concevoir chaque composant en considérant, au préalable, les méthodes d'interconnexions, puisque le "degré de liberté" offert par les bondings permettant de s'affranchir d'une conception particulière au niveau des plots de contacts disparaît.

Pour ce faire, l'utilisation de différents procédés du domaine de la micro-électronique est nécessaire, tels que le dépôt par pulvérisation ou par évaporation qui permet de réaliser de fines couches de matériaux au contraire de l'électrodéposition qui permet d'obtenir des dépôts de plus fortes épaisseurs.

Certaines techniques utilisées ici sont cependant très difficile à mettre en oeuvre. En effet, la phase de gravure de DeepRIE est difficile à maîtriser, car les imperfections liées à cette étape peuvent être nombreuses (sur-gravure, gravure non-homogène, différence des vitesses de gravure entre des motifs de différentes tailles, détérioration prématurée de la résine, etc). Pour obtenir un résultat relativement proche de l'objectif fixé, il est alors nécessaire d'avoir une très bonne expérience pratique de cette technique. Par ailleurs, l'étape d'électrodéposition doit également être l'objet d'une certaine expérience pour assurer un dépôt correct, car quelques problèmes peuvent apparaître (dépôt non homogène, mauvais état de surface, etc).

Certains problèmes auraient pu être évité si nous n'avions pas été pris par le temps, ce qui nous aurait permis de les étudier préalablement. En effet, la technique du lift-off utilisée ici nécessite un masque de type négatif pour assurer un résultat propre. Or, nous avons utilisé un masque positif, ce qui a réduit le pourcentage de réussite de nos échantillons.

D'une manière plus générale, la réalisation de l'hybridation de l'ensemble à l'aide de ces techniques doit prendre en compte toutes ces difficultés et il est nécessaire de faire attention aux incompatibilités éventuelles entre chacune d'entre elles.

Une conception couplée entre l'ensemble des composants de la structure est nécessaire. Ceci implique de prendre en compte toutes les problématiques et les interactions qui peuvent avoir lieu entre chacun d'entre eux (rayonnement magnétique pouvant générer des perturbations, répartition des sources de pertes pour une bonne dissipation thermique, compatibilité des procédés de réalisation, alignement des inter-connexions ...).

En conclusion, la réalisation des composants passifs et d'hybridation sont des points particuliers sur lesquels il est nécessaire de poursuivre nos efforts pour améliorer les performances, la fiabilité et la gestion thermique des structures d'électronique de puissance.



---

## Conclusion générale

En conclusion, les travaux de thèse présentés dans ce mémoire dressent l'état de l'art de la conception et de la réalisation d'un micro-convertisseur isolé et intégré. L'ensemble de la structure de conversion a été conçue dans le but d'une augmentation de la puissance commutée par unité de volumique en lien avec l'amélioration du rendement et du packaging, toujours par rapport à l'état de l'art.

Ces travaux, effectués au sein du laboratoire de génie électrique de Grenoble (G2Elab) et en partie au centre inter-universitaire de micro-électronique (CIME-Nanotech), ont été menés sur plusieurs axes pour élaborer notre micro-convertisseur.

Dans un premier temps, à partir d'un cahier des charges très sommaire, nous avons cherché à déterminer les points de fonctionnement optimaux vis-à-vis de l'ensemble des paramètres que nous nous étions fixés comme degrés de libertés, tels que la fréquence de commutation, la technologie des composants actifs, les valeurs des composants magnétiques ainsi que leurs topologies. Ces études couplées aux moyens que nous avons à notre disposition pour réaliser notre micro-convertisseur, forment le coeur du premier chapitre de ce mémoire. Il abouti à l'énoncé d'un cahier des charges plus précis permettant de bien définir et de cadrer le travail de conception des différents composants, tant actifs que passifs.

La seconde phase de cette étude fut consacrée aux parties actives, ce qui a demandé l'apprentissage d'un logiciel de conception et de prototypage virtuel dédié aux circuits de micro-électronique, Cadence en l'occurrence. Cet outil très complet, qui permet de mener à bien des simulations à l'aide de modèles extraits de données concrètes et pratiques, fut utilisé dans un premier temps pour concevoir et dimensionner le circuit de puissance ainsi que la commande rapprochée optimisée pour le fonctionnement en onduleur. Une fois que les caractéristiques des composants ont été déterminées, une phase de dessin des masques s'en ai suivi pour placer au mieux chaque composants tout en respectant les préconisations des fondeurs pour éviter tout problème une fois que le circuit est réalisé. C'est également durant cette étape que l'implantation du circuit de commande semi-éloignée conçu pour le projet "réseaux de micro-convertisseurs" a été synthétisé et intégré au milieu du circuit de puissance. Il ressort de ce travail de conception une forte compatibilité technologique entre puissance et commande pour les applications basses tensions et relativement faibles

puissance. Les outils de prototypage se sont avérés particulièrement efficace dans le travail de conception. À l'issue de la phase de conception, il apparaît ainsi que le rendement du circuit de puissance peut atteindre 98%, ce qui est très satisfaisant vis-à-vis des faibles tensions et des courants relativement élevés mis en jeu. Cependant, pour atteindre cette valeur, les éléments parasites introduits par les interconnexions au sein du circuit de puissance doivent être quasi-nuls, ce qui s'avère très difficile à obtenir par des moyens usuels tels que les fils de bondings.

Nous voulions concevoir un circuit qui soit utilisable en onduleur et en redresseur synchrone, ceci afin de réduire les coûts de réalisation ainsi que le temps passé à la conception des différentes fonctions. Au final, ce choix ne fut pas judicieux puisque nos efforts se sont portés principalement sur le fonctionnement en onduleur, en délaissant un peu le mode redresseur synchrone. Ceci nous a conduit à certaines négligences et compromis qui ne permettent pas au redresseur de fonctionner de manière optimale. Pour améliorer les performances du redresseur synchrone, il sera donc nécessaire, à terme, de lui dédier une puce, même si cela multipliera quasiment par deux le prix à payer en ce qui concerne les composants actifs. En effet, cette seconde puce dédiée uniquement au fonctionnement en redresseur synchrone ne devra pas utiliser la commande rapprochée que nous avons développée pour l'onduleur, puisqu'elle nécessite une tension d'alimentation stable qui n'est pas disponible facilement pour cet étage, et que le nombre relativement important d'étages d'amplification introduit un retard néfaste pour le rendement de cet étage.

Les tests que nous avons menés concernant ces parties actives n'ont cependant pas apporté les niveaux de performances que nous attendions. Les résultats de simulation présentés dans ces travaux ont été obtenus à l'aide du logiciel Cadence qui a été conçu pour la micro-électronique. De ce fait, il n'est pas évident que ce logiciel intègre les phénomènes liés à la présence de notre circuit de puissance (rayonnement, courants relativement élevés induits dans le substrat, ...) qui peuvent générer des perturbations ou un dysfonctionnement total de notre convertisseur. Ainsi, le phénomène de latch-up que nous avons identifié lors des tests n'a pas pu être prévu durant la phase de conception du layout, malgré le respect des préconisations du fondeur pour éviter ces désagréments. Par ailleurs, la puissance de calcul nécessaire pour réaliser la simulation de l'ensemble de notre convertisseur après la phase dite d'"extract" (c'est à dire qui prend en compte les éléments parasites résistifs, capacitifs et inductifs liés à l'ensemble du layout) est beaucoup trop importante pour vérifier si tout fonctionne correctement vis-à-vis du layout obtenu. À l'issue de la série de tests que nous avons menée, les rendements mesurés ont donc été bien plus faibles que prévu, d'une part à cause de ces dysfonctionnements à fortes charges et, d'autre part, en raison de l'environnement de la puce (inductances et résistances parasites des bondings, pistes de cuivre sur le PCB, ...) qui dégrade fortement son fonctionnement.

Le troisième chapitre de ce mémoire traite de la conception des composants passifs. Plusieurs solutions ont été envisagées et testées, telles que l'utilisation de Kapton cuivré ou l'intégration de bobines sur silicium. Cette étude nous a tout d'abord permis d'évaluer les possibilités offertes par chaque technologie, puis les effets de la présence du circuit magnétique sur les caractéristiques du transformateur et de l'inductance. Cela nous a

permis de dégager des tendances voire même un optimum, en fonction des caractéristiques géométriques des bobines et de la forme du circuit magnétique. Les solutions à base de bobines coplanaires déposées sur silicium et du circuit magnétique en ferrite ont ensuite été étudiées car cette topologie permettait d'offrir de bonnes caractéristiques électriques, un niveau de pertes raisonnable, une taille réduite ainsi qu'une relative facilité de réalisation.

Concernant cette topologie, des améliorations significatives peuvent être apportées vis-à-vis des résultats expérimentaux des prototypes réalisés. En effet, le substrat utilisé ici présente une faible résistivité, ce qui n'a pas permis de limiter de manière satisfaisante les courants induits, puisque la réalisation de la tranchée ne s'est pas passée comme prévu, ce qui n'a pas permis d'annuler ces courants indésirables. De plus, la phase d'électrodéposition peut également être améliorée, puisque nos échantillons ne présentent pas une répartition uniforme de cuivre le long des bobines. Par ailleurs, les motifs qui présentaient les largeurs de pistes et les distances inter-spices adéquates pour permettre un dépôt de l'épaisseur souhaitée ( $70\mu\text{m}$ ) présentaient des défauts trop importants et n'ont donc tout simplement pas pu être testés.

Pour accompagner l'étude sur la conception et la réalisation de ces composants passifs, de bonnes connaissances technologiques sont nécessaires. Ces connaissances permettent également d'appréhender et d'élaborer un packaging adapté à notre structure afin qu'il puisse présenter les meilleures performances possibles. Les possibilités et les limites des techniques adaptées à nos travaux font ainsi l'objet du quatrième chapitre de ce mémoire.

De nombreux paramètres rentrent en jeu dans la mise en oeuvre de toutes ces techniques, qui permettent d'obtenir des résultats plus ou moins bien adaptés à nos travaux. Un approfondissement des connaissances des machines et procédés utilisés (Deep RIE, dépôt par évaporation, lift-off) permettraient vraisemblablement d'améliorer le taux de réussite des échantillons réalisés. Il faut cependant accorder le temps nécessaire pour réaliser ces ajustements et ces améliorations, car la technologie est un domaine qui demande de la rigueur et du temps.

Les tests expérimentaux de la structure complète dans un environnement peu adapté ont montré des résultats encourageants qui laissent espérer un niveau de rendement très correct une fois mis en oeuvre dans un environnement optimisé.

Par manque de temps, nous n'avons pas pu exploiter le modèle magnétique et capacitif du micro-transformateur afin d'évaluer l'influence des différents éléments du modèle sur les performances de l'ensemble de la structure par simulation.

En perspectives, d'autres tests doivent être menés en mettant en oeuvre les topologies d'assemblage et de mise en oeuvre proposées dans le dernier chapitre afin de réduire les effets des éléments parasites. Ils permettraient de démontrer que l'intégration de structures d'électronique de puissance permet d'augmenter la puissance volumique transmissible tout en maintenant un niveau de rendement aussi bon que des structures classiques.

Après avoir réalisé ces premiers démonstrateurs et éléments de démonstration de micro-transformateur sur silicium avec circuit magnétique en ferrite usiné, une nouvelle étude pourrait permettre de prendre en compte les difficultés rencontrées et les points faibles de cette première version qui n'est pas parfaite. On pourrait ainsi imaginer une conception qui permette de réaliser les tranchées jusqu'au bout, en prenant en compte les imperfections liées notamment à la technique de DeepRIE. Par ailleurs, vis-à-vis des difficultés rencontrées (et du coût) pour l'usinage du circuit magnétique, la mise en oeuvre d'un micro-moulage pourrait être envisagée, la difficulté étant cette fois d'obtenir une ferrite aux caractéristiques souhaitées.

Une fois que notre micro-convertisseur intégré offrira de bonnes performances, il serait intéressant d'étudier en pratique les caractéristiques d'un réseau de ces micro-convertisseurs, que ce soit d'un point de vue du rendement global du réseau, qu'au niveau des dynamiques et de la CEM. La mise en réseau de notre micro-convertisseur permettra ainsi de réaliser facilement un macro-convertisseur à l'aide d'un certain nombre de cellules, suivant le cahier des charges fixé.



---

## Bibliographie

- [ALW04] B. Ackermann, A. Lewalter, and E. Waffenschmidt. Analytical modelling of winding capacitances and dielectric losses for planar transformers. In *2004 IEEE Workshop on Computers in Power Electronics, 2004. Proceedings*, pages 2–9, 2004.
- [Art08] P. Artillan. *Design, modelization and realization of integrated inductive components for low power supplies and microsystems*. PhD thesis, Université de Toulouse, 2008.
- [BBD<sup>+</sup>07] A. Benazzi, M. Brunet, P. Dubreuil, N. Mauran, L. Bary, J.P. Laur, J.L. Sanchez, and K. Isoird. Performance of 3D capacitors integrated on silicon for DC-DC converter applications. In *Power Electronics and Applications, 2007 European Conference on*, pages 1–9, 2007.
- [Ber00] François Bernot. Composants de l'électronique de puissance. *Techniques de l'ingénieur*, E3960, 2000.
- [BGR<sup>+</sup>05] A. Bajolet, JC Giraudin, C. Rossato, L. Pinzelli, S. Bruyere, S. Cremer, T. Jagueneau, P. Delpech, L. Montès, and G. Ghibaudo. Three-dimensional 35 nF/mm<sup>2</sup> MIM capacitors integrated in BiCMOS technology. In *Solid-State Device Research Conference, 2005. ESSDERC 2005. Proceedings of 35th European*, pages 121–124, 2005.
- [Bin08] Nguyen Dac Binh. *Intégration fonctionnelle autour des composants quatre quadrants Avec l'application à la conversion AC/AC*. PhD thesis, Institut National Polytechnique de Grenoble, 2008.
- [Bog03] Jean-Marc Boggetto. *Contribution à l'intégration d'une inductance sur silicium et étude de son convertisseur synchrone associé*. PhD thesis, Université Joseph Fourier, 2003.
- [BSGF<sup>+</sup>09] M. Brunet, E. Scheid, K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Herbst, and S. Schamm. Characterization of ZrO<sub>2</sub> thin films deposited by MOCVD for high-density 3D capacitors. *Microelectronic Engineering*, 2009.
- [Che08] Baoxing Chen. Fully integrated isolated dc-to-dc converter and half bridge gate driver with integral power supply. In *1st International Workshop on Power Supply on Chip, Cork, Ireland*, 2008.

- [Cos07] Valentin Costan. *Convertisseurs Parallèles Entrelacés : Etude des Pertes Fer dans les Transformateurs Inter-cellules*. PhD thesis, Institut national polytechnique de Toulouse, 2007.
- [CVD95] Augustin Coello-Vera and Claude Drevon. *Circuits hybrides - conception. Techniques de l'ingénieur*, E3925, 1995.
- [Del08] Olivier Deleage. Conception de la commande pour micro-convertisseur dc/dc dans le cadre des réseaux de micro-convertisseurs. In *Conférence des jeunes chercheurs en génie électrique (JCGE)*, 2008.
- [DG06] T. Di Gilio. *Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13  $\mu\text{m}$ -2nm*. PhD thesis, Université de Provence, 2006.
- [DN08] Léa Do-Nascimento. Dépôt de forte épaisseur de cuivre par électrodéposition. Master's thesis, Stage IUT Chimie Grenoble - G2Elab, 2008.
- [Dom05] C. Domingues. *Conception de transducteurs acoustiques micro-usinés*. PhD thesis, Institut National Polytechnique de Grenoble - INPG, 04 2005. ISBN 2-84813-050-4.
- [FLG<sup>+</sup>09] François Forrest, Eric Labouré, Bertrand Gélis, Vanessa Smet, Thierry A. Meynard, and Jean-Jacques Huselstein. Design of intercell transformers for high-power multicell interleaved flyback converter. *IEEE TRANSACTIONS ON POWER ELECTRONICS*, mars 2009.
- [FML<sup>+</sup>06] F. Forest, T. Meynard, E. Labouré, V. Costan, A. Cunière, E. Sarraute, and J.-J. Huselstein. Optimisation du système d'alimentation dans les convertisseurs parallèles entrelacés utilisant des transformateurs de couplage. In *Electronique de Puissance du Futur*, 2006.
- [Fra04] Christophe François. *Génie électrique - cours complet illustré*. Number ISBN 2 7298 1863 4. 2004.
- [Féc96] Louis Féchant. *Le contact électrique : Phénomènes physiques et matériaux*. Number ISBN 2-86601-554-1. HERMES, 1996.
- [GAG03] Michel Girard, Hugues Angelis, and Magali Girard. *Alimentations à découpage 2ème édition*. Number ISBN 2 10 0069403. 2003.
- [Gan07] Yvan Ganev. Conception d'une structure de commande aléatoire pour réseau de convertisseurs. Master's thesis, Stage de fin d'études, 2007.
- [Has00] Eilhard Haseloff. *Latch-Up, ESD, and Other Phenomena*. Texas Instruments, 2000.
- [HKEN03] Z. Hayashi, Y. Katayama, M. Edo, and H. Nishio. High efficiency dc-dc converter chip size module with integrated soft ferrite. *Magnetics Conference, 2003. INTERMAG 2003. IEEE International*, pages FC-04, March-3 April 2003.
- [hr] <http://www.microelectronique.univ.rennes1.fr>.
- [hs] <http://www.femto-st.fr/>.

- [htta] <http://cmp.imag.fr/>.
- [httb] <http://www.dalsa.com>.
- [httc] <http://www.xfab.com>.
- [Ker08] Jean-Pierre Keradec. Transformateurs hf à n enroulements - schémas à constantes localisées. *Techniques de l'ingénieur*, D3058, 2008.
- [KNDF04a] V. Kursun, S.G. Narendra, V.K. De, and E.G. Friedman. High input voltage step-down DC-DC converters for integration in a low voltage CMOS process. *Quality Electronic Design, 2004. Proceedings. 5th International Symposium on*, pages 517–521, 2004.
- [KNDF04b] Volkan Kursun, Siva G. Narendra, Vivek K. De, and Eby G. Friedman. Low-voltage-swing monolithic dc-dc conversion. *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, mai 2004.
- [KSNE00] Y. Katayama, S. Sugahara, H. Nakazawa, and M. Edo. High-power-density mhz-switching monolithic dc-dc converter with thin-film inductor. *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, 3 :1485–1490 vol.3, 2000.
- [Lai03] Jean-Philippe Laine. *Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées*. PhD thesis, Institut National des Sciences Appliquées de Toulouse, 2003.
- [Lan95] Tran Tien Lang. *Electronique numérique*. Number ISBN 2-225-84711-8. 1995.
- [LBL<sup>+</sup>08] Q.H. Luan, V. Bley, T. Lebey, B. Schlegel, and L. Menager. Nano copper wires interconnection for three dimensional integration in power electronics. In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pages 278–281, June 2008.
- [Leb87] Richard Lebourgeois. Ferrites faibles pertes pour applications fréquentielles. *Techniques de l'ingénieur*, E1760, 1987.
- [Len03] E. Lennon. *Microfluxmètre réalisé par des procédés de gravure et d'électrodéposition : vers une application à la microscopie thermique*. PhD thesis, Université Joseph-Fourier - Grenoble I, 2003.
- [LFMC08] Éric Labouré, François Forest, Thierry Meynard, and Philippe Cussac. Applications du concept d'entrelacement de convertisseurs parallèles par transformateurs intercellulaires ou coupleurs. In *Electronique de Puissance du Futur*, 2008.
- [Lop04] Alain Lopez. Méthodes de diminution de la diaphonie dans les interconnexions destinées aux nanotechnologies. In *12ème journée des doctorants de Montpellier (Doctiss)*, 2004.
- [Man05] Christian Manasterski. *La pulvérisation cathodique industrielle*. Lausanne : Presses polytechniques et universitaires romandes, 2005.
- [Mar05] Xavier Saint Martin. Packaging des circuits intégrés. *Techniques de l'ingénieur*, E3400, 2005.

- [Mar07] Marcin Marzencki. *Conception de microgénérateurs intégrés pour systèmes sur puce autonomes*. PhD thesis, Université Joseph-Fourier - Grenoble I, 2007.
- [Mas03] Michel Massénat. Circuits en couches minces. *Techniques de l'ingénieur*, E3365, 2003.
- [MdmHBL99] Sunderarajan S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd, and Thomas H. Lee. Simple accurate expressions for planar spiral inductances. *IEEE journal of solid-state circuits*, octobre 1999.
- [Men08] Ludovic Menager. Contribution à l'intégration des convertisseurs de puissance en 3d. Master's thesis, Institut National des Sciences Appliquées de Lyon - Laboratoire Ampère, 2008.
- [MOWR05] SCO Mathuna, T. O'Donnell, N. Wang, and K. Rinne. Magnetics on silicon : an enabling technology for power supply on chip. *IEEE Transactions on Power Electronics*, 20(3) :585–592, 2005.
- [MRS04] C. Mertens, J. Rudzki, and R. Sittig. Topside chip contacts with low temperature joining technique (ltjt). In *Power Electronics Specialists Conference, 2004. PESC 2004. IEEE, 2004*.
- [MSS<sup>+</sup>07] J. Melai, C. Salm, SM Smits, B. Carballo, J. Schmitz, and B. Hagelucken. Considerations on using SU-8 as a construction material for high aspect ratio structures. *Technology Foundation STW*, 2007.
- [MV88] Georges Metzger and Jean-Paul Vabre. *Pratique des circuits intégrés numériques*. Number ISBN 2-7298-8827-6. Ellipses, 1988.
- [PCB02] J.Y. Park, Y.J. Chang, and J.U. Bu. Monolithically integrated 3-d micro-inductors and micro-transformers for rf applications. In *Advanced Packaging Materials*, 2002.
- [PF05] J. Popovic and J.A. Ferreira. Design and evaluation of highly integrated dc-dc converters for automotive applications. *Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005*, 2 :1152–1159 Vol. 2, Oct. 2005.
- [PSO<sup>+</sup>04] Satish Prabhakaran, Charles.R. Sullivan, Terence O'Donnell, Magali Brunet, and Saibal Roy. Microfabricated coupled inductors for dc-dc converters for microprocessor power delivery. In *Power Electronics Specialists Conference, 2004*.
- [Rai06] Hynek Raisigel. *Micro-générateur magnétique planaire et micro-convertisseur intégré*. Thèse - Institut National Polytechnique de Grenoble - INPG - G2Elab, 2006.
- [Rou08] N. Rouger. *Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale*. PhD thesis, Institut National Polytechnique de Grenoble - INPG, 2008.
- [Sch99] Ambroise Schellmanns. *Circuits équivalents pour transformateurs multi-enroulements : Application à la CEM conduite d'un convertisseur*. PhD thesis, Institut National Polytechnique de Grenoble, 1999.

- [Sch01] Thierry Schneider. *VHDL : méthodologie de design et techniques avancées*. Number ISBN 2 10 005371 X. DUNOD, 2001.
- [Sim08] Timothé Simonot. Commande intégrée en technologie ams 0,35 $\mu$ m pour actionneur de puissance. Master's thesis, Stage M2P CSINA - Université Joseph Fourier - G2Elab, 2008.
- [SMC<sup>+</sup>06] E. Sarraute, T. Meynard, V. Costan, E. Labouré, A. Cunière, F. Forest, and J.-J. Huselstein. Analyse de différents montages d'inductances couplées dans les convertisseurs dc/dc parallèles entrelacés. In *Electronique de Puissance du Futur*, 2006.
- [Sme08] Vanessa Smet. Fiabilité et analyse de défaillances de modules de puissance à igbt. In *Conférence des jeunes chercheurs en génie électrique (JCGE)*, 2008.
- [Sou07] Gael Souchet. *Réseau de mini-convertisseurs*. Mémoire de diplôme d'ingénieur C.N.A.M GEII. G2Elab, Université Joseph Fourier, 2007.
- [TC] Process parameters Technologie C35B4M3, AustriaMicroSystems.
- [TDC<sup>+</sup>09] Ha Dang Thai, Olivier Deleage, Hervé Chazal, Yves Lembeye, and Jean-Christophe Crebier. Design of modular converters : Survey and introduction to generic approaches. In *Applied Power Electronics Conference*, 2009.
- [Tha06] Ha Dang Thai. *Réseaux de micro-convertisseurs*. Stage de master 2 recherche, LEG, Institut National Polytechnique de Grenoble, 2006.
- [Tha09a] Ha Dang Thai. *Réseaux de micro-convertisseurs*. PhD thesis, Institut Polytechnique de Grenoble, 2009.
- [Tha09b] Do Minh Thang. Évaluation des techniques de réalisation des composants bobinés pour des applications d'électronique de puissance. Master's thesis, Stage de Master 2 recherche EEATS spécialité génie électrique, 2009.
- [Tro04] Ghislain Troussier. *Intégration de bobines sur silicium pour la conversion d'énergie*. PhD thesis, Institut National des Sciences Appliquées de Toulouse, 2004.
- [VCAJ08] E. Vagnon, J.-C. Crebier, Y. Avenas, and P.-O. Jeannin. Study and realization of a low pressure press-pack power module. In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, 2008.
- [VV08] Stéphane Vighetti and Benjamin Vallet. Photovoltaïque raccordé au réseau : Choix et optimisation des étages de conversion. In *Conférence des jeunes chercheurs en génie électrique (JCGE)*, 2008.
- [WL00] Fu Wong and Junwei Lu. High frequency planar transformer with helical winding structure. *IEEE TRANSACTIONS ON MAGNETICS*, septembre 2000.
- [ZGCU04] P. Zumel, O. Garcia, J.A. Cobos, and J. Uceda. EMI reduction by interleaving of power converters. In *Applied Power Electronics Conference and Exposition (APEC)*, 2004.



---

## Annexe A : Modélisation du transformateur

Cette annexe a pour but de détailler la méthode de modélisation du transformateur. Les mesures des impédances à vide et en court-circuit sont issues de la topologie planar, spirale simple sur Kapton (voir figure III.19).

La première série d'identification est à réalisée avec les mesures faites en court-circuit. En effet, pour observer l'influence de l'inductance de fuites, l'essai à vide occulte complètement ses effets par la présence de l'inductance magnétisante, dont la valeur est bien plus grande.

Tout d'abord, à très basse fréquence, il n'y a ni effet de peau ou de proximité, ni couplage entre primaire et secondaire, car l'impédance de l'inductance magnétisante est bien plus importante que l'impédance du secondaire, qui lui n'est composé que d'une résistance DC. Ceci nous permet donc de définir  $R_{DC} = 0,25\Omega$  et  $L_m = 1,15\mu H$  (figure 33).

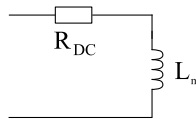


FIG. 33 – Modèle très basse fréquence du transformateur en court-circuit

À partir d'une certaine fréquence, le couplage entre primaire et secondaire commence à apparaître (entre  $10^4$  Hz et  $10^5$  Hz), mais il n'y a toujours pas d'effet de peau, ce qui permet d'établir le schéma de la figure 34. Les enroulements primaire et secondaire étant identiques, leurs résistances DC le sont également.

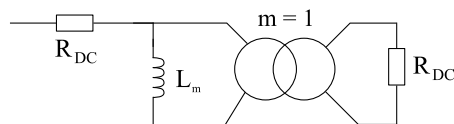


FIG. 34 – Modèle basse fréquence du transformateur en court-circuit (couplage)

Ce schéma nous donne ainsi les courbes de la figure 35.

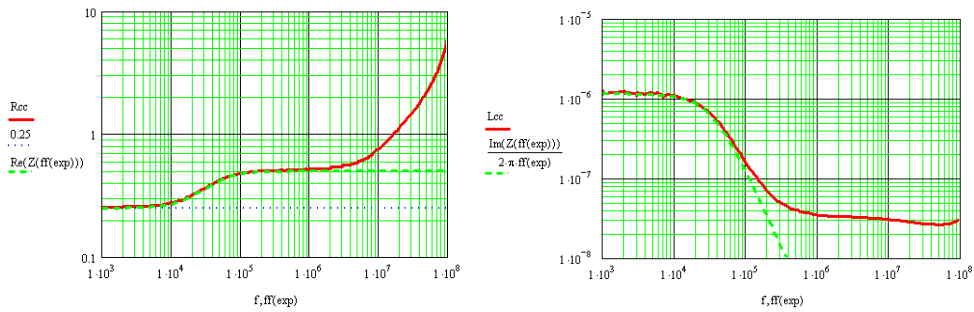


FIG. 35 – Comparaisons modèle BF et mesures du transformateur en court-circuit

Commence maintenant la modélisation de l'effet de peau et de proximité. Dans la mesure où primaire et secondaire sont identiques, les cellules R-L de chaque enroulement doivent l'être également. La détermination des cellules R-L se fait de la même manière que pour l'inductance, au détail près qu'à partir des valeurs calculées, la contribution résistive et inductive est divisée en deux part égales, pour le primaire et le secondaire. Cela nous donne le schéma de la figure 36, ainsi que les courbes en résultant, figure 37.

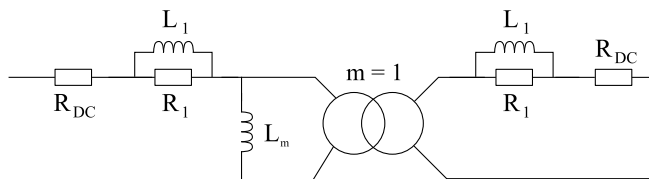


FIG. 36 – Modèle moyenne fréquence du transformateur en court-circuit

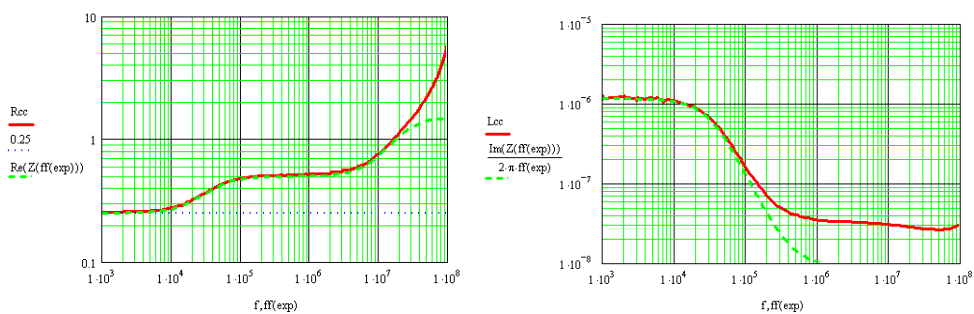


FIG. 37 – Comparaisons modèle MF et mesures du transformateur en court-circuit



Pour compléter la modélisation de l'effet de peau, il ne reste plus qu'à rajouter une cellule R-L, dimensionnée sur le même principe que la précédente, ce qui nous conduit au schéma de la figure 38 et aux courbes de la figure 39 qui montrent une très bonne corrélation entre mesures et modèle.

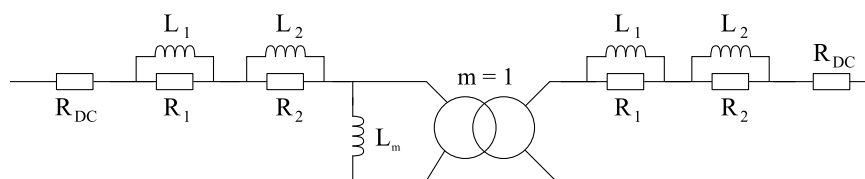


FIG. 38 – Modèle haute fréquence du transformateur en court-circuit

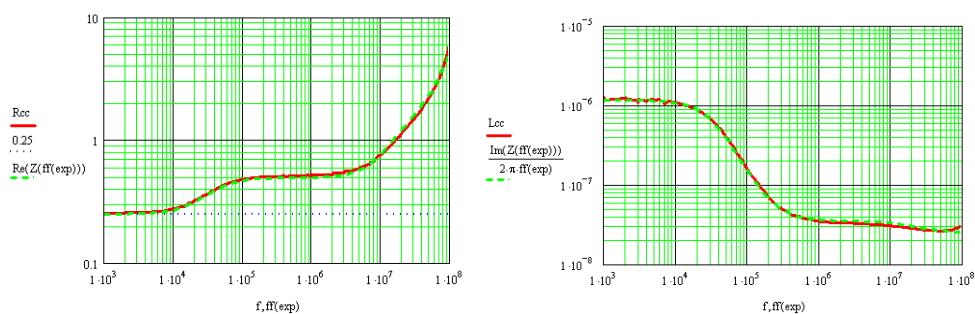


FIG. 39 – Comparaisons modèle HF et mesures du transformateur en court-circuit

Il reste maintenant à exploiter les mesures du transformateur à vide. Nous reprenons donc le schéma de l'enroulement primaire du transformateur que nous venons juste de déterminer, ce qui nous donne le schéma de la figure 40.

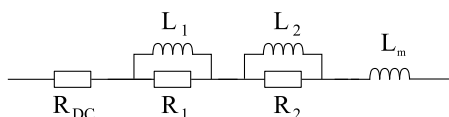


FIG. 40 – Modèle du primaire extrait du modèle du transformateur en court-circuit

Nous pouvons déjà comparer l'impédance de ce schéma par rapport aux mesures du transformateur à vide, ce qui nous donne les courbes de la figure 41.

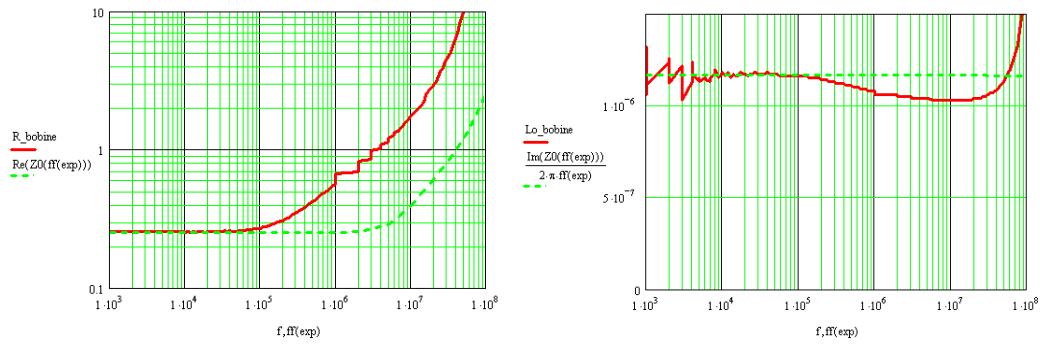


FIG. 41 – Comparaisons modèle du primaire extrait et mesures du transformateur à vide

Il est donc évident qu'il reste des effets résistifs et inductifs à modéliser en rajoutant d'autres cellules R-L.

L'ajout d'une première cellule R-L (figure 42) permet d'obtenir les courbes de la figure 43.

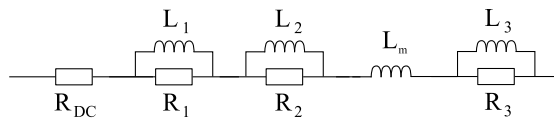


FIG. 42 – Modèle du primaire basse fréquence

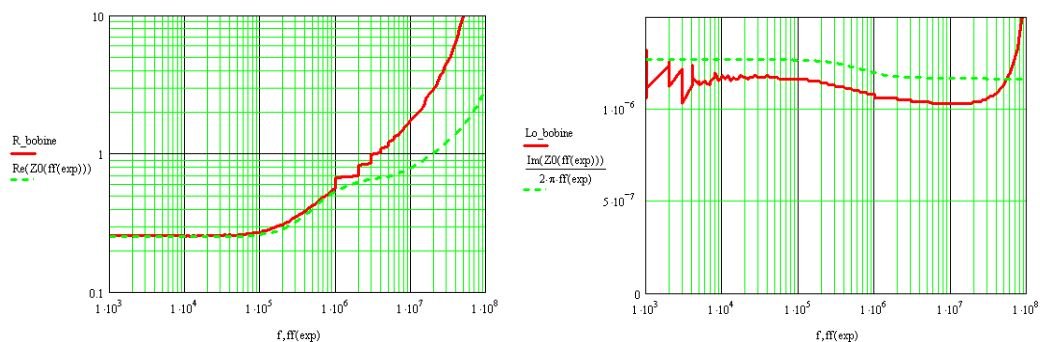


FIG. 43 – Comparaisons modèle du primaire BF et mesures du transformateur à vide

Une deuxième cellule (figure 44) permet de se rapprocher encore un peu plus des mesures expérimentales et d'obtenir les courbes de la figure 45.

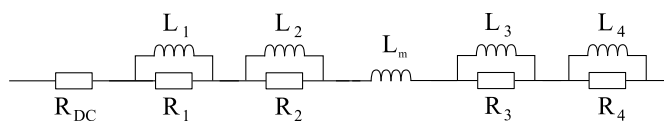


FIG. 44 – Modèle du primaire moyenne fréquence

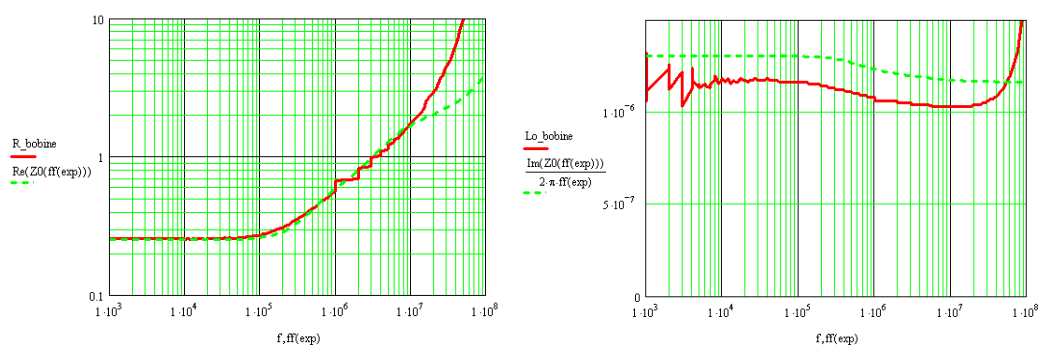


FIG. 45 – Comparaisons modèle du primaire MF et mesures du transformateur à vide

Puis une troisième cellule (figure 46) permet de coller parfaitement aux mesures expérimentales de la résistance et d'obtenir les courbes de la figure 47.

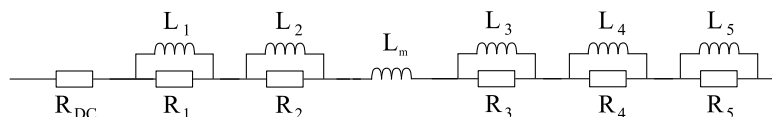


FIG. 46 – Modèle du primaire haute fréquence

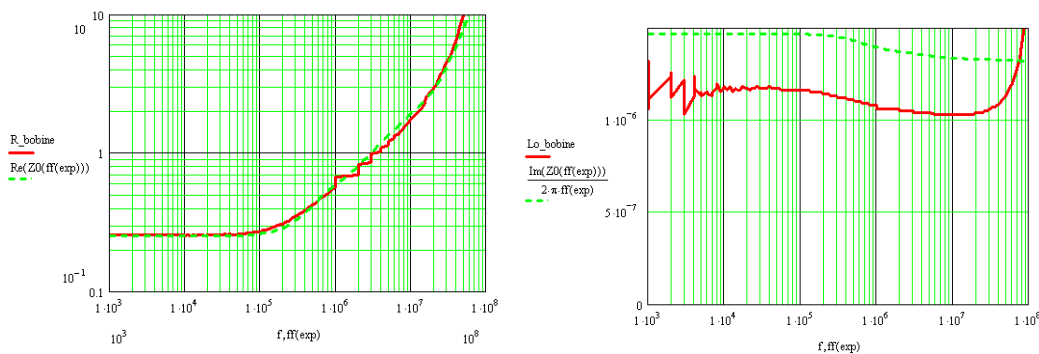


FIG. 47 – Comparaisons modèle du primaire HF et mesures du transformateur à vide

Nous pouvons noter que l'inductance modélisée n'est plus correcte, puisque les trois cellules R-L rajoutées lors de la modélisation du transformateur à vide s'additionnent à l'inductance magnétisante. Il est donc nécessaire de retrancher la somme de  $L_3$ ,  $L_4$  et  $L_5$

à  $L_m$  pour retrouver le même niveau qu'après la fin de la modélisation en court-circuit.

Au final, nous nous retrouvons avec le schéma de la figure 48, dont les valeurs sont données à la page 117 de ce mémoire.

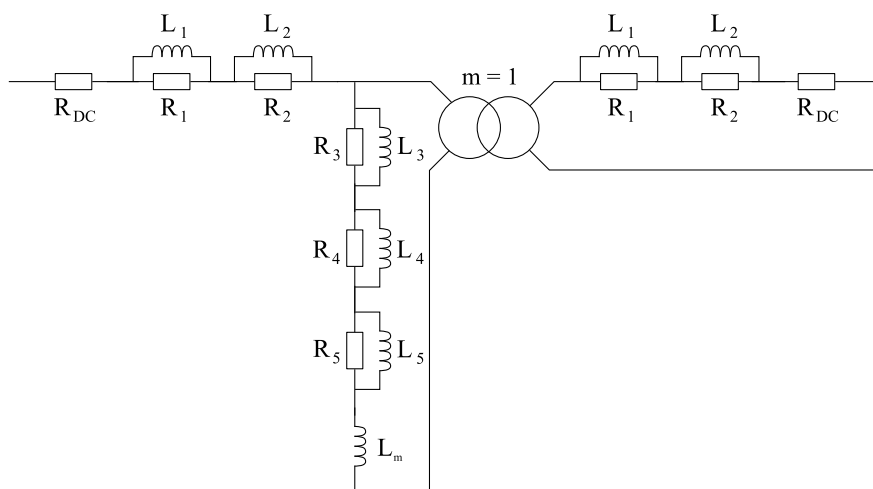


FIG. 48 – Modèle final du transformateur

Et les courbes de résistances et d'inductances à vide et en court-circuit résultant de ce schéma sont présentées figure 49.

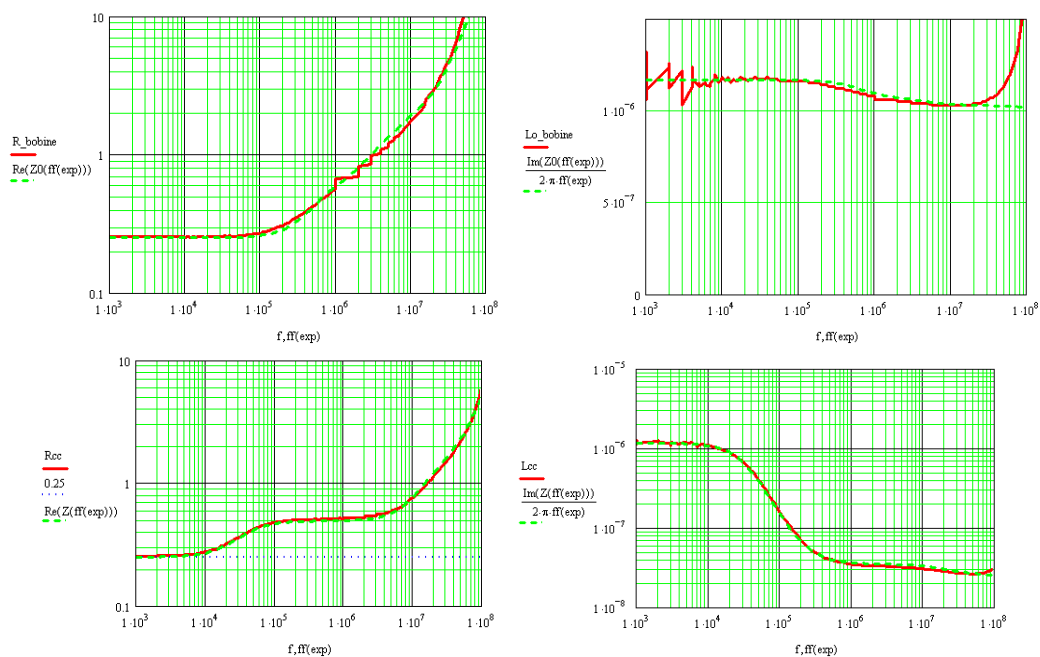


FIG. 49 – Comparaisons du modèle final aux mesures expérimentales

---

## Annexe B : Wafer de $\mu$ -transformateur

Layout du wafer contenant les variantes destinés à la réalisation du micro-transformateur et micro-inductance sur silicium, avec circuit magnétique usiné reporté.

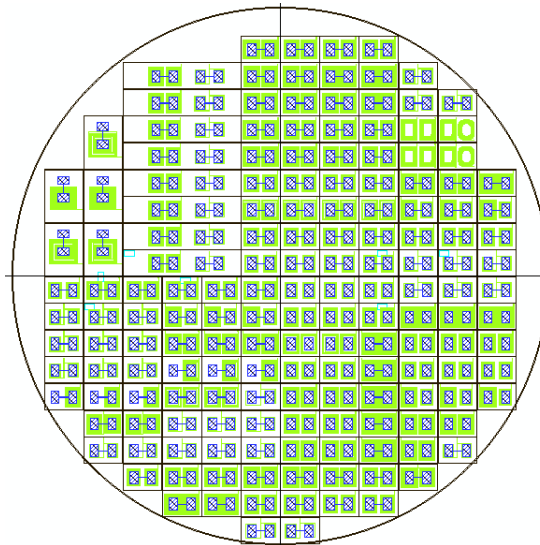


FIG. 50 – Layout du wafer élaboré

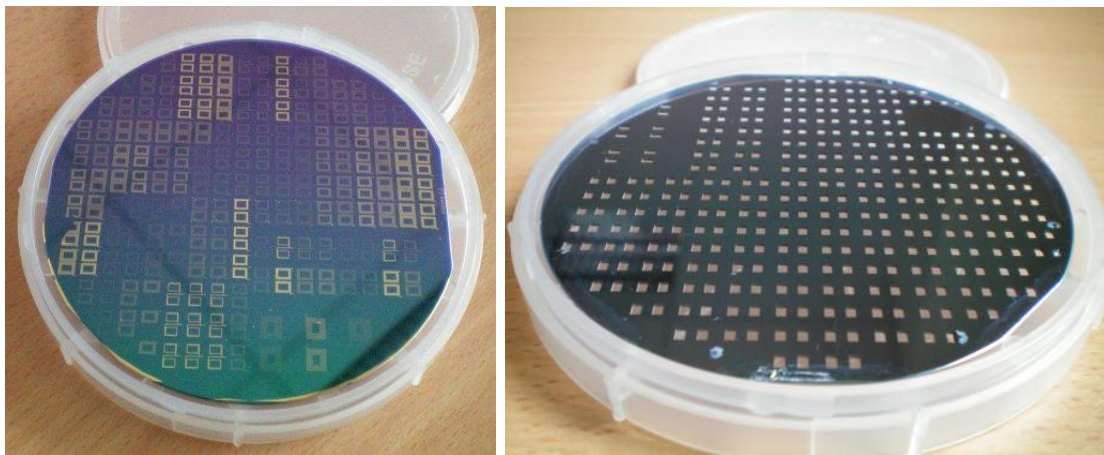


FIG. 51 – Photos des wafers après tests de lift-off (à gauche) et de DeepRIE (à droite)



---

## Annexe C : Densités de courant

Les figures de cette annexe montrent les densités de courant dans les spires vis à vis de l'étude des spirales à largeur variable. Les lignes continues représentent les lignes de champ.

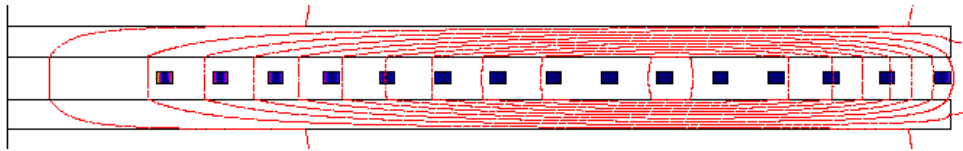


FIG. 52 – Design 1 avec circuit magnétique



FIG. 53 – Design 1 avec circuit magnétique dépassant

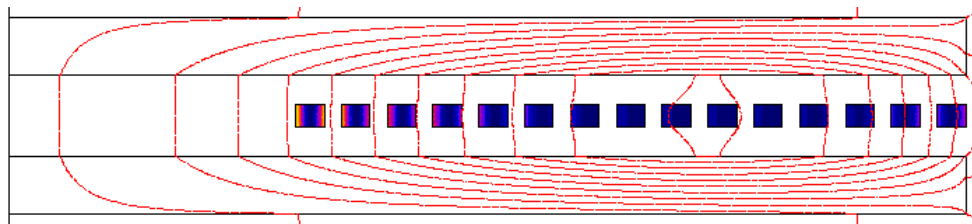


FIG. 54 – Design 2 avec circuit magnétique

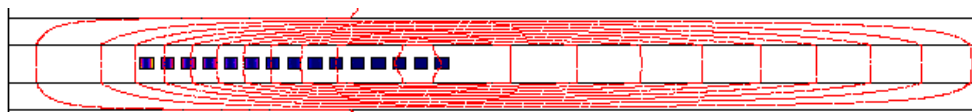


FIG. 55 – Design 2 avec circuit magnétique dépassant

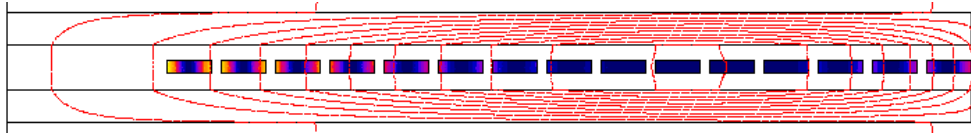


FIG. 56 – Design 3 avec circuit magnétique



FIG. 57 – Design 3 avec circuit magnétique dépassant

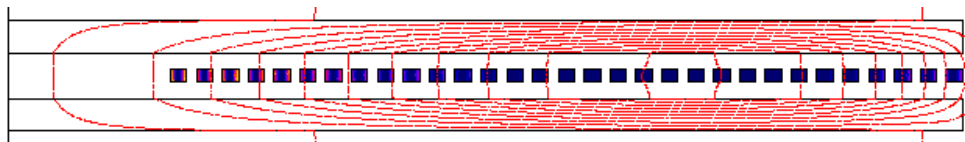


FIG. 58 – Design 4 avec circuit magnétique

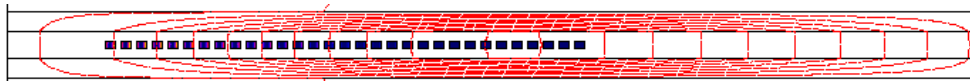


FIG. 59 – Design 4 avec circuit magnétique dépassant

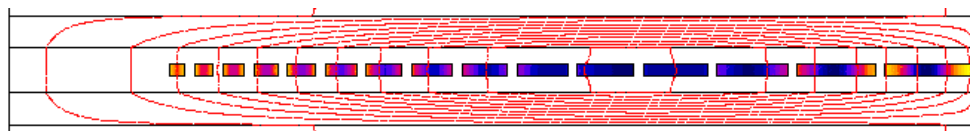


FIG. 60 – Design à largeur variable avec circuit magnétique



FIG. 61 – Design à largeur variable avec circuit magnétique dépassant



# CONCEPTION, RÉALISATION ET MISE EN OEUVRE D'UN MICRO-CONVERTISSEUR POUR LA CONVERSION DC/DC

**Résumé** Ce mémoire traite des différents aspects liés à la conception et à la réalisation intégrée de l'ensemble d'un micro-convertisseur isolé. À partir d'une étude théorique se basant sur des modèles simplifiés, un pré-dimensionnement des éléments actifs et passifs a été mené pour cibler nos besoins. Une première phase de nos travaux a consisté en la conception des parties actives. Ces structures actives sont intégrées en technologie CMOS  $0,35\mu\text{m}$  et sont constituées du circuit de puissance, à savoir un onduleur monophasé, d'un circuit de commande rapprochée optimisée, ainsi que d'un circuit de commande semi-éloignée permettant la gestion d'une commande entrelacée dans le cadre d'un projet de recherche sur les réseaux de micro-convertisseurs. La seconde phase de ces travaux a consisté en la conception et la réalisation des composants passifs magnétiques que sont le transformateur HF et l'inductance de sortie. L'étude de ces composants s'est portée sur des structures planar, sur la base d'une technologie Kapton cuivré ou silicium avec circuit magnétique reporté. Le dernier aspect présenté dans ce mémoire concerne, d'une part, les techniques de réalisation utilisées pour ces composants passifs et, d'autre part, l'hybridation de l'ensemble du micro-convertisseur. Cette étude permet ainsi d'aborder les difficultés liées à la réalisation de tels dispositifs.

**Mots clés** *Micro-convertisseur, intégration, monolithique, conception, conversion DC-DC, technologie CMOS, isolation, optimisation, mise en oeuvre, hybridation.*

---

## DESIGN AND REALIZATION OF A MICRO-CONVERTER FOR DC/DC CONVERSION

**Abstract** This thesis deals with design, integration and implementation of an isolated micro-converter. From a theoretical study based on simplified models, pre-designs of active and passive parts have been led to target our needs. A first phase of our work was to design the active parts. These integrated active structures in  $0.35\ \mu\text{m}$  CMOS technology consist in the power circuit, a single-phase inverter composed of two power switching cells driven with the help of optimized drivers and a digital command for the management of an interleaved command for the purposes of a project related to networks of micro-converters. The second phase of this work consisted in the design and realization of passive magnetic components such as the HF transformer and output inductor. The studies of these components have been focused on planar structures, based on a technology kapton with copper or copper on silicon, both of them with magnetic core. The last aspect presented in this thesis concerns the techniques used to manufacture these passive components and to allow hybridization of the entire micro-converter. This study allows to address the difficulties related to such devices.

**Keywords** *Micro-converter, integration, monolithic, design, DC-DC conversion, CMOS technology, isolation, optimization, implementation, hybridation*